



## Document Summary



New  
Search



Help

[Preview Claims](#)

[Preview Full Text](#)

[Preview Full Image](#)

Email Link:

**Document ID:** J P 2000-012858 A2

**Title:** SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

**Assignee:** TOSHIBA CORP

**Inventor:** SATO TSUTOMU  
MIZUSHIMA ICHIRO  
TSUNASHIMA YOSHITAKA  
IINUMA TOSHIHIKO  
MIYANO KIYOTAKA

**US Class:**

**Int'l Class:** H01L 29/78 A; H01L 29/786 B

**Issue Date:** 01/14/2000

**Filing Date:** 04/21/1999

### Abstract:

**PROBLEM TO BE SOLVED:** To suppress a short-channel effect of a field effect transistor even if fine structure forming is advanced, by forming a field effect transistor on a semiconductor substrate and forming a hollow in the semiconductor substrate just beneath the region where the field effect transistor is formed.

**SOLUTION:** A shallow element isolating trench 2 is formed into the surface of an Si substrate 1, a gate electrode 6 of a polycrystalline Si film is formed through a gate insulation film 5 on the Si substrate 1 at an MOS transistor forming region 18 defined by the element isolating trench 2, a source diffused layer 7 and drain diffused layer 8 are formed at both sides of the gate electrode 6, and hollows 9 are formed in the Si substrate 1 beneath a channel region of the MOS transistor, a source diffused layer 7 and a drain diffused layer 8 and the inner surfaces of the hollows 9 are covered with a thermal oxide film 10.

(C)2000,JPO

---

Copyright © 1993-2000 Aurigin Systems, Inc.  
[Legal Notices](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-12858  
(P2000-12858A)

(43) 公開日 平成12年1月14日 (2000.1.14)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード\* (参考)

H 0 1 L 29/78  
29/786

H 0 1 L 29/78

3 0 1 X  
6 1 8 C

審査請求 未請求 請求項の数13 O L (全 27 頁)

(21) 出願番号 特願平11-113653

(22) 出願日 平成11年4月21日 (1999.4.21)

(31) 優先権主張番号 特願平10-115310

(32) 優先日 平成10年4月24日 (1998.4.24)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 佐藤 力

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(72) 発明者 水島 一郎

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

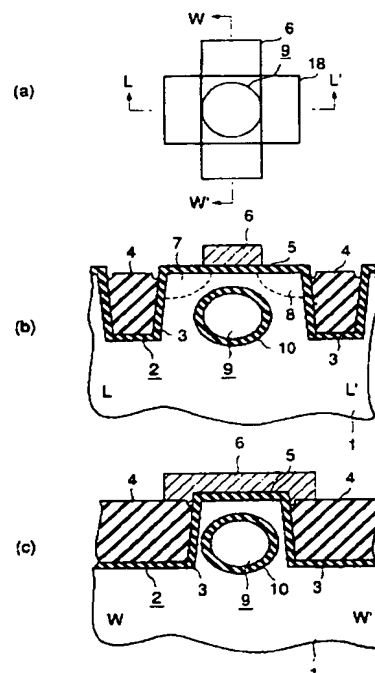
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 微細化を進めても短チャネル効果を効果的に抑制できるMOSトランジスタを実現すること。

【解決手段】 MOSトランジスタのチャネル領域下のシリコン基板1中に空洞9を設ける。



1

## 【特許請求の範囲】

【請求項 1】半導体基板と、

この半導体基板に形成された電界効果トランジスタと、  
この電界効果トランジスタの形成領域下の前記半導体基板中に形成された空洞とを具備してなることを特徴とする半導体装置。

【請求項 2】前記空洞の内面が絶縁膜で覆われていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】半導体基板と、

この半導体基板に形成された電界効果トランジスタと、  
この電界効果トランジスタの形成領域下の前記半導体基板中に形成され、前記半導体基板を構成する半導体元素とは異なり、かつ前記電界効果トランジスタの形成領域下における空乏層の延びを抑制する半導体層とを具備してなることを特徴とする半導体装置。

【請求項 4】半導体基板と、

この半導体基板の平坦部に形成された電界効果トランジスタと、  
この電界効果トランジスタの形成領域下の前記半導体基板中に形成された絶縁物とを具備してなることを特徴とする半導体装置。

【請求項 5】前記空洞、半導体層または前記絶縁物は、前記電界効果トランジスタのチャネル領域下の前記半導体基板中に形成されていることを特徴とする請求項 1 ないし請求項 4 のいずれかに記載の半導体装置。

【請求項 6】前記空洞、半導体層または前記絶縁物は、前記電界効果トランジスタのソース領域およびドレイン領域下の前記半導体基板中に形成されていることを特徴とする請求項 1 ないし請求項 4 のいずれかに記載の半導体装置。

【請求項 7】前記空洞の内面は所定の面方位を有する多面体で構成されていることを特徴とする請求項 1 ないし請求項 4 のいずれかに記載の半導体装置。

【請求項 8】半導体基板の表面に溝を形成する工程と、減圧下の熱処理により前記溝の開口部を閉ざして空洞を形成する工程と、  
前記空洞を含む領域上に電界効果トランジスタを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 9】前記減圧下の熱処理を非酸化性雰囲気中で行うことを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 10】前記非酸化性雰囲気は、水素雰囲気であることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 11】前記半導体基板の構成元素よりも融点の低い半導体からなる膜で、前記溝の内面を覆った後に、前記空洞を形成する工程を行うことを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 12】半導体基板の表面に溝を形成する工程

2

と、

前記溝の内部をその途中の深さまで絶縁物により埋め込む工程と、

前記溝の内部の残りの部分を半導体により埋め込む工程と、

前記絶縁物を含む領域上に横型の電界効果トランジスタを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 13】半導体基板に形成された電界効果トランジスタと、

この電界効果トランジスタの形成領域下の前記半導体基板中に形成された電極と、この電極と半導体基板との界面に形成された絶縁膜とによって構成された絶縁ゲート構造とを具備してなることを特徴とする半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に係わり、特に MOS トランジスタの短チャネル効果の抑制を図った半導体装置およびその製造方法に関する。

【0002】

【従来の技術】近年、コンピュータや通信機器の重要部分には、多数のトランジスタや抵抗等を電気回路を達成するように結びつけ、1チップ上に集積化して形成した大規模集積回路 (LSI) が多用されている。

【0003】このため、機器全体の性能は、LSI 単体の性能と大きく結びついている。LSI 単体の性能向上は素子の微細化により実現できる。例えば MOS トランジスタであれば、その寸法を縮小することによって、高速化、低消費電力化、高集積化を可能としてきた。

【0004】しかしながら、素子寸法を縮小することで種々の問題も生じてきている。例えば、チャネル長を短くすることはチャネル抵抗を下げる効果がある一方、短チャネル効果という問題を招く。

【0005】この短チャネル効果の抑制に対しては、ソース/ドレインの接合深さを浅くすること、特に電源電圧が低い場合においてはゲート電極の近い位置に浅い高不純物濃度を形成すること、言い換えれば LLD 構造においてその浅い低不純物濃度の拡散層を浅い高不純物濃度の拡散層に置き換えることが効果あることが分かっている。この高不純物濃度の拡散層は、通常、エクステンション (Extension) 層と呼ばれている。あるいはチャネル領域のすぐ下の領域の不純物濃度を高くすることで (パンチスルー防止層を形成することで) パンチスルー現象を抑制する効果がある。

【0006】ただし、いずれの方法も寸法が小さくなるほど (微細化が進むほど)、非常に急峻なプロファイルを形成すること、すなわち高不純物濃度で非常に浅いエクステンション (Extension) 層を形成することや、非常に浅いチャネル領域の下にパンチスルー防止層を形成

## 3

することなどが困難になっている。

【0007】また、素子寸法を縮小することで、相対的に各種の寄生成分の比率は大きくなってしまふ。例えば、ソース／ドレインの接合容量は動作速度に影響を与えるほどの割合になってしまう。

【0008】この解決策の一つとして、極薄のSOI基板を使用して接合底面をSOI基板の埋込み酸化膜に触れさせることで、その接合容量を無くす方法が試みられている。

【0009】しかしながら、この方法は、SOI基板の値段が高く、コストがかかるという問題の他に、素子動作領域が埋込み酸化膜上にあることから、素子動作により生じたキャリアが蓄積してしまうという、いわゆる基板蓄積効果が生じるため、素子を安定に動作させることが困難になるという問題があった。

【0010】また、極薄のSOI基板の埋込み酸化膜中にバックゲートを作り、これに電圧を印加してチャネル下の領域を空乏化させてパンチスルーを防止することで、短チャネル効果を抑制する試みが提案されている。

【0011】

【発明が解決しようとする課題】上述の如く、MOSTランジスタの短チャネル効果を抑制するために、エクステンション層やパンチスルー防止層の導入が提案されていたが、微細化が進むとMOSTランジスタの短チャネル効果を抑制することが困難になるという問題があった。

【0012】本発明は、上記事情を考慮してなされたもので、その目的とするところは、微細化を進めても電界効果トランジスタの短チャネル効果を効果的に抑制できる半導体装置およびその製造方法を提供することにある。

【0013】

【課題を解決するための手段】〔構成〕上記目的を達成するために、本発明に係る半導体装置は、半導体基板と、この半導体基板に形成された電界効果トランジスタと、前記電界効果トランジスタの形成領域下の前記半導体基板中に形成された空洞とを備えていることを特徴とする。

【0014】ここで、前記空洞の内面は絶縁膜で覆われていることが好ましい。また、前記空洞の代わりに、前記半導体基板を構成する半導体元素とは異なり、かつ前記電界効果トランジスタの形成領域下における空乏層の伸びを抑制する半導体領域を形成しても良い。

【0015】また、本発明に係る他の半導体装置は、半導体基板と、この半導体基板の平坦部に形成された横型の電界効果トランジスタと、前記電界効果トランジスタの形成領域下の前記半導体基板中に形成された絶縁物とを備えていることを特徴とする。

【0016】ここで、前記空洞、半導体層または前記絶縁物は、前記電界効果トランジスタのチャネル領域下の

## 4

前記半導体基板中に形成されていることが好ましい。

【0017】また、前記空洞、前記半導体層または前記絶縁物は、前記電界効果トランジスタのソース領域およびドレイン領域下の前記半導体基板中に形成されていることが好ましい。

【0018】また、前記空洞、前記半導体層または前記絶縁物は、チャネル領域、ソース領域およびドレイン領域下の前記シリコン基板中に形成されていることがさらに好ましい。

【0019】また、前記電界効果トランジスタは、例えばMOSTランジスタやMESFETである。

【0020】また、空洞や半導体層の場合には、電界効果トランジスタは基板表面の平坦部または凸部のどちらに形成されていても良い。

【0021】本発明に係る他の半導体装置は、半導体基板に形成された電界効果トランジスタと、この電界効果トランジスタの形成領域下の前記半導体基板中に形成された電極と、この電極と半導体基板との界面に形成された絶縁膜とによって構成された絶縁ゲート構造とを備えていることを特徴とする。

【0022】本発明に係る半導体装置の製造方法は、半導体基板の表面に溝を形成する工程と、減圧下の熱処理により前記溝の開口部を閉ざして空洞を形成する工程と、前記空洞を含む領域上に電界効果トランジスタを形成する工程とを有することを特徴とする。

【0023】ここで、前記減圧下の熱処理は、非酸化性雰囲気で行うことが好ましい。非酸化性雰囲気は、例えば水素雰囲気である。

【0024】本発明に係る半導体装置の製造方法は、半導体基板の表面に溝を形成する工程と、前記溝の内部をその途中の深さまで絶縁物により埋め込む工程と、前記溝の内部の残りの部分を半導体により埋め込む工程と、前記絶縁物を含む領域上に横型の電界効果トランジスタを形成する工程とを有することを特徴とする。

【0025】〔作用〕本発明に係る半導体装置によれば、ソースとドレインからの空乏層の伸びは空洞、半導体層または絶縁物のところで止まるので、チャネル領域における空乏層の広がりを防止できるようになる。したがって、本発明によれば、微細化を進めても電界効果トランジスタの短チャネル効果を効果的に抑制できるようになる。

【0026】また、空洞、半導体層または絶縁物を電界効果トランジスタのソース領域およびドレイン領域下の半導体基板中に形成した場合には、SOI基板を用いた場合とは異なり、コストの増加や基板蓄積効果を招くことなく、ソース／ドレインの接合容量を十分に小さくすることができる。

【0027】また、本発明に係る他の半導体装置によれば、半導体基板中に形成された電極と、この電極と半導体基板との界面に形成された絶縁膜とによって構成され

## 5

た絶縁ゲート構造を備えているので、上記電極をバックゲート電極として用いることができる。したがって、上記電極に適切な電圧を印加することによって、電界効果トランジスタのチャンネル領域における空乏層の広がりを抑制できるので、素子の微細化が進んでも、短チャネル効果を効果的に抑制できるようになる。

【0028】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

【0029】（第1の実施形態）図1は、本発明の第1の実施形態に係るMOSトランジスタの平面図および断面図であって、同図（a）は平面図、同図（b）は同平面図の矢視 $L-L'$ 断面図（チャンネル長方向に平行な断面図）、同図（c）は同平面図の矢視 $W-W'$ 断面図（チャンネル幅方向に平行な断面図）をそれぞれ示している。

【0030】図中、1はシリコン基板を示しており、このシリコン基板1の表面には素子分離（STI）のための浅い素子分離溝2が形成されている。この素子分離溝2の内部は熱酸化膜3を介してシリコン酸化膜4で埋め込まれている。

【0031】素子分離溝2によって規定されたMOSトランジスタ形成領域18のシリコン基板1上にはゲート絶縁膜5を介してゲート電極6が形成されている。ゲート電極6は、例えば多結晶シリコン膜で形成されたものである。また、ゲート電極6の両側にはソース拡散層7およびドレイン拡散層8がそれぞれ形成されている。

【0032】そして、MOSトランジスタのチャンネル領域下、ソース拡散層7下およびドレイン拡散層8下のシリコン基板1の内部には空洞9が形成され、この空洞9の内面は熱酸化膜10で覆われている。

【0033】本実施形態によれば、ソース拡散層7とドレイン拡散層8からの空乏層の伸びは空洞9のところで止まるため、チャンネル領域における空乏層の広がりを防止できるようになる。したがって、本実施形態によれば、MOSトランジスタの微細化を進めても、短チャネル効果を効果的に抑制できるようになる。

【0034】また、本実施形態によれば、空洞9がソース拡散層7およびドレイン拡散層8の下にも部分的に形成されているから接合容量を十分に低くできる。ここで、SOI基板を用いた場合とは異なり、MOSトランジスタは空洞9により部分的にシリコン基板1と絶縁されているのみなので、素子動作により生じたキャリアが蓄積してしまうという基板蓄積効果が無く、安定な素子動作が得られる。また、高価な基板であるSOI基板を用いずに済むので、当然にコストの増加の問題はない。

【0035】次に本実施形態のMOSトランジスタの形成方法について説明する。図2～図4は、その形成方法を示す工程断面図である。

【0036】まず、図2（a）に示すように、シリコン

## 6

基板1上にフォトレジストパターン11を形成し、このフォトレジストパターン11をマスクにしてシリコン基板1を異方性エッチング、例えばRIEによりパターンニングして、溝12を形成する。この後、フォトレジストパターン11を炭化して剥離する。

【0037】次に図2（b）に示すように、減圧下の非酸化性雰囲気、例えば10 Torr、1000℃の10%水素雰囲気中にて高温アニールを行うことにより、溝12の開口部を閉ざして空洞9を形成する。

【0038】次に全面に厚さ100nmのアモルファスシリコン膜（不図示）を形成した後、還元性雰囲気中、減圧下例えば10 Torrで1100℃以上の高温の熱処理を行う。このときのアモルファスシリコン膜は、基板表面の平坦化を容易に行えるようにするためのものである、その膜厚は容易に固相成長を行える程度のものであれば良い。

【0039】なお、アモルファスシリコン膜が無くても基板表面の平坦化は可能であるが、結晶化できる程度のアモルファスシリコン膜を予め堆積しておくことにより、基板表面の平坦化工程を短時間で済ませることが可能となる。

【0040】ただし、アモルファスシリコン膜を用いずに基板表面を平坦化する場合には、基板表面のシリコンのマイグレーション（シリコンの再構成）によって平坦化が進むので、アモルファスシリコン膜を用いた場合よりも、つまり固相成長による平坦化の場合よりも基板表面の結晶性を改善できるという効果が得られる。

【0041】上記熱処理により、アモルファスシリコン膜は固相成長により基板側からエピタキシャル成長し、単結晶のシリコン膜となってシリコン基板1と一体化する。そして活性な基板表面のシリコン原子は、図2

（c）に示すように、基板表面が平坦となるように表面拡散によりマイグレーションする。このときのマイグレーションによって、つまり基板表面のシリコンの再構成によって、基板表面の結晶性はさらに改善される。また、基板表面を平坦化する他の方法としては、例えばCMP法を用いて図2（b）のシリコン基板1の表面を研磨して平坦化する方法がある。

【0042】次に図2（d）に示すように、シリコン基板1の表面を熱酸化して熱酸化膜13を形成した後、CVD法を用いて熱酸化膜13上にシリコン窒化膜14を形成する。

【0043】次に図3（e）に示すように、シリコン窒化膜14上にフォトレジストパターン15形成した後、このフォトレジストパターン15をマスクにしてシリコン窒化膜14、熱酸化膜13、シリコン基板1を異方性エッチング、例えばRIEを用いてパターンニングすることにより、素子分離溝2を形成する。この後、フォトレジストパターン15を炭化して剥離する。

【0044】次に図3（f）に示すように、露出してい

7

る素子分離溝2の表面を950℃、30分、ドライ酸化雰囲気中にて熱酸化して熱酸化膜3を形成する。このとき、空洞9の内面も同時に酸化されるので、空洞9の内面には熱酸化膜10が形成される。このような熱酸化膜10を形成することにより、ソース拡散層7とドレイン拡散層8からの空乏層の伸びが効果的に抑制され、これらの空乏層が繋がるという不都合を確実に防止することが可能となる。

【0045】その後、CVD法を用いてシリコン酸化膜4を全面に堆積し、素子分離溝2を埋め込む。

【0046】次に図3(g)に示すように、CMP法を用いてシリコン酸化膜4をシリコン窒化膜13の表面が露出するまで研磨する。

【0047】次に図3(h)に示すように、熱いH<sub>3</sub>PO<sub>4</sub>溶液を用いてシリコン窒化膜14を選択的に除去する。

【0048】次に図4(i)に示すように、希HF溶液を用いて熱酸化膜13および素子分離溝2の外部のシリコン酸化膜4を除去する。このとき、素子分離溝2の上部エッジ部の熱酸化膜3が多少除去され、素子分離溝2の上部エッジ部のシリコン基板1の表面が露出する。

【0049】次に図4(j)に示すように、露出したシリコン基板1の表面を熱酸化して、例えば厚さ10nmの熱酸化膜16を形成した後、しきい値電圧の調整を行うために、熱酸化膜16を介してシリコン基板1の表面に不純物イオン17を注入する。この後、図4(k)に示すように、熱酸化膜16を除去する。

【0050】次に図4(l)に示すように、例えば900℃、HCl雰囲気中にシリコン基板1を晒すことにより、ゲート絶縁膜5を形成する。このとき、ゲート絶縁膜5は、MOSトランジスタ形成領域上だけではなく、素子分離溝2の上部エッジ部上にも形成される。その結果、素子分離溝2内にはシリコンの露出面は存在しなくなる。

【0051】次に同図(1)に示すように、全面にゲート電極6となる例えば多結晶シリコン膜を形成した後、この多結晶シリコン膜をパターニングしてゲート電極6を形成する。ここでは、ポリシリコンゲート電極を形成したが、例えばポリメタルゲート電極やメタルゲート電極などの他構造のゲート電極を形成しても良い。

【0052】最後に、同図(1)に示すように、ゲート電極6をマスクにしてシリコン基板1の表面に不純物イオンを注入した後、アニールを行うことによって、ソース拡散層7、ドレイン拡散層8を自己整合的に形成して、MOSトランジスタが完成する。

【0053】次に上述した減圧下の高温アニールによる空洞9の形成方法についてさらに詳細に説明する。図5は溝のアスペクト比の違いによる空洞のできかたの違いを示す断面図であって、具体的にはアスペクト比(A R)の異なる溝12に対して、1000℃、10 Torr

8

r(減圧下)、水素雰囲気中にて10分間の熱処理(高温アニール)を行った結果を示しており、図5(a)はAR=1、図5(b)はAR=5、図5(c)はAR=10の結果を示している。

【0054】図5(a)から、アスペクト比が小さい場合には、空洞9を形成することができないことが分かる。

【0055】また、図5(b)から、アスペクト比が5以上の場合には、溝12の底部から球形に近い形で分離した空洞9を形成できることが分かる。

【0056】また、図5(c)から、アスペクト比をさらに大きくした場合には、溝12の底部から等間隔で複数の球形に近い空洞9を形成できることが分かる。

【0057】以上の結果から、空洞9を形成するためには、溝12をある程度以上のアスペクト比を持って形成する必要があることが分かる。なお、高温アニールを継続した場合には、基板表面は図中の破線で示すように最終的には平坦化するまた、図6は空洞の形状、サイズの制御方法を説明するための工程断面図であって、図6

(a)、(b)に示すように、上下のテーパ角 $\theta$ 、 $\beta$ を変えて( $\theta > \beta$ )溝12を形成した場合には、このテーパ角の異なる位置が空洞9を形成するためのきっかけとなり得るため、図6(c)、(d)に示すように、空洞9の形状、サイズを制御することができる。このような形状の溝12は、例えばRIEで側壁がテーパ状の溝を形成し、続いて条件を変えてRIEで側壁が垂直な溝を形成することにより実現できる。

【0058】図6では、テーパ角 $\theta$ のところの溝12の深さを同じにし、テーパ角 $\beta$ のところの溝12を深さを変えることにより、空洞9の形状、サイズを制御したが、その逆であっても良い。

【0059】また、図7(a)の平面図および同図(b)のA-A'断面図に示すように、シリコン基板1の上方から見たパターンが長方形(短辺:a、長辺:b)の溝12を $2(a b / \pi)^{0.5}$ 以下の間隔でもって配列形成した後、高温アニールを行うことにより、図7(c)の平面図および同図(d)のA-A'断面図に示すように、棒状の空洞9を形成することもできる。

【0060】減圧下(例えば10 Torr)で高温(例えば1100℃)アニール時において、溝12は、その断面積を一定に保ちながら、シリコン基板1の表面近傍のSi原子のマイグレーションによって円形に変形していく。したがって、上述したように、溝12の最終形態である円の直径 $2(a b / \pi)^{0.5}$ 以下の間隔でもって溝12を配列形成すれば、隣接した溝12同士は高温アニールにより一体化する。

【0061】この棒状の空洞9を用いて、図8(a)の平面図に示すように、MOSトランジスタ形成領域18を複数並べてレイアウトすることで、一つの空洞9を複数のMOSトランジスタに対して共通に用いることがで

9

きる。図 8 (b)、(c) に図 8 (a) の MOS トランジスタ Tr の L-L' 断面図、W-W' 断面図をそれぞれ示す。

【0062】また、図 9 に示すように、ソース拡散層 7 およびドレイン拡散層 8 の直下に空洞 9 および絶縁膜 4 を形成することで、ソース/ドレイン接合容量を大幅に低減できる。このような構造を得るには、まず図 10

(a) に示すように二つの空洞 9 を形成し、次いで図 10 (b) に示すようにレジストパターン 15 を形成し、次に図 10 (c) に示すように、レジストパターン 15 をマスクにして空洞 9 と繋がった素子分離溝 2、言い換

えれば空洞 9 と一体化した素子分離溝 2 を形成する。この後は、図 3 (f) 以降の工程に従う。

【0063】以上述べたように、空洞 9 の形状 (図 1、図 6、図 7)、形成位置 (図 1、図 8、図 9) は任意である。さらに、空洞 9 の個数やサイズも任意である。空洞 9 に関して重要なことは、高温アニールによって高アスペクト比の溝の開口部を閉ざして、溝を空洞に変えることである。

【0064】次に空洞 9 の位置合わせの方法について、

図 11 の工程断面図を用いて説明する。

【0065】まず、図 11 (a) に示すように、溝 12 の形成時に、MOS トランジスタ形成領域外に、素子分離溝 12 よりも径が大きくかつ浅い素子分離溝 12' を形成しておくことで、図 11 (b) に示すように、溝 12 を形成した領域の表面を平坦化する工程で、溝 12' を形成した領域の表面は平坦化されず、溝 12' が窪みの形で残るので、これを合わせマークに用いることにより、空洞 9 を含む MOS トランジスタ形成領域を規定する素子分離溝 2 を容易に形成することができる。

【0066】図 12 に、空洞 9 の他の位置合わせの方法を示す工程図を示す。

【0067】この場合、図 2 (a) の工程で、フォトレジストパターン 11 の代わりに絶縁膜マスク 19 を用いて溝 12 を形成し、高温アニールにより空洞 9 を形成した後 (図 12 (a))、図 12 (b) に示すように、シリコン基板 1 上の絶縁マスク 19 をパターニングして、MOS トランジスタ形成領域外に、絶縁物からなるマーク 19a を形成する。

【0068】次に図 12 (c) に示すように、全面にアモルファスシリコン膜 20 を堆積する。

【0069】次に図 12 (d) に示すように、熱処理によりアモルファスシリコン膜 20 を単結晶化するとともに、表面を平坦化した後、エッチバックまたは CMP 等により表面を後退させてマーク 19a の表面を露出させる。このとき、マーク 19a をエッチングストップに用いる。マーク 19a の露出面は絶縁物であり、シリコンとは光学的性質が異なるので、素子分離溝 2 を形成する際の合わせマークとして用いることができる。

【0070】なお、本実施形態ではシリコン基板の平坦

10

部に形成された MOS トランジスタの場合について説明したが、本発明はシリコン基板の凸部に形成された SGT (Surrounding Gate Transistor) 等の MOS トランジスタにも適用可能である。

【0071】(第 2 の実施形態) 図 13 は、本発明の第 2 の実施形態に係る MOS トランジスタを示す平面図および断面図である。なお、以下の図において、前出した図と同一符号 (添字が異なるものを含む) は同一符号または相当部分を示す。

【0072】本実施形態が第 1 の実施形態と異なる点は、空洞 9 の代わりに絶縁膜 21 (絶縁物) を用いたことにある。このような構成であれば、ソース拡散層 7 とドレイン拡散層 8 からの空乏層は絶縁膜 21 で停止するので、第 1 の実施形態と同様な効果が得られる。

【0073】図 14 は、本実施形態の MOS トランジスタの形成方法を示す工程断面図である。まず、第 1 の実施形態と同様に、図 14 (a) に示すように、シリコン基板 1 の表面に溝 12 を形成する。

【0074】次に図 14 (b) に示すように、溝 12 の底部を絶縁膜 21 で埋め込んだ後、例えば厚さ 100 nm のアモルファスシリコン膜 22 を全面に堆積する。絶縁膜 21 としては、例えばシリコン酸化膜を用いる。

【0075】絶縁膜 21 の埋込みは、例えば以下のように行う。まず、溝 12 を形成した後に、全面に絶縁膜を堆積する。次にシリコン基板 1 をストップに用いて上記絶縁膜を CMP 法にて研磨することによって、溝 12 内にのみ上記絶縁膜を残置させる。最後に、RIE にてエッチバックを行い、溝の底部にのみ上記絶縁膜を残置させることによって、絶縁膜 21 が形成される。

【0076】ここで、RIE の代わりに、時間制御をしたウエットエッチングを行っても溝の底部のみに絶縁膜 21 を形成することができる。例えば、絶縁膜 21 としてはシリコン酸化膜を用いた場合には、エッチャントとしては弗酸水溶液を用いれば良い。

【0077】この後、還元性雰囲気中、減圧下例えば 10 Torr で 1100℃ 以上の高温の熱処理を行う。この熱処理により、アモルファスシリコン膜 22 は固相成長により基板側からエピタキシャル成長し、単結晶のシリコン膜となってシリコン基板 1 と一体化する。その結果、図 14 (c) に示すように、溝 12 の内部は単結晶のシリコンで埋め込まれるとともに、基板表面は平坦化される。

【0078】なお、アモルファスシリコン膜 22 を堆積しない場合には、絶縁膜 21 上の溝 12 の内部を埋めることができないため、本実施形態のように固相成長により容易に結晶化する程度の膜厚 (ここでは 100 nm) のアモルファスシリコン膜 22 を堆積する必要がある。

【0079】この後は、第 1 の実施形態の図 3 (e) の工程に従って、MOS トランジスタを形成する。ただし、空洞 9 の内面を覆う熱酸化膜 10 の工程は不要であ



る。

【0080】なお、溝12の平面パターンは、次に述べる第3の実施形態のように、長辺/短辺の比がより大きな長方形であっても良い。

【0081】(第3の実施形態)図15は、本発明の第3の実施形態に係るMOSトランジスタの形成方法を示す工程断面図である。本実施形態は、図7の棒状の空洞の代わりに、棒状の絶縁膜を用いた実施形態である。

【0082】まず、図15(a)に示すように、溝12の底部を絶縁膜21で埋め込んだ後、アモルファスシリコン膜22を全面に堆積する。ここで、図15の溝12の平面パターンは、図14の溝12の平面パターンに比べて、長辺/短辺の比がより大きな長方形となっている。

【0083】次に還元性雰囲気中で高温の熱処理により、図15(b)に示すように、溝12の内部を単結晶のシリコン膜で埋め込むとともに、基板表面を平坦化する。ここまでは、第2の実施形態と基本的には同じである。

【0084】ただし、溝12のサイズは、図8(a)に示したような複数のMOSトランジスタ形成領域18を形成できる程度のものである。したがって、図15のL-L'断面図およびW-W'断面図は、図14の場合(1個のMOSトランジスタ)とは異なり、複数のMOSトランジスタの形成領域にまたがる領域の断面図を示している。

【0085】次に図15(c)に示すように、絶縁膜21の周縁部を除去するように、つまり絶縁膜21の側面が露出するように、溝12aを形成する。

【0086】次に図15(d)に示すように、絶縁膜21をウエットエッチングにより除去することによって、溝12と繋がった空洞となる空間9sを形成する。ここで、例えば、絶縁膜21がシリコン酸化膜であれば、エッチャントとして弗酸水溶液を用いて除去すると良い。

【0087】なお、本実施形態では、表面シリコンのマイグレーションを用いずに空洞9を形成しているので、その角部は図7の場合とは異なり鋭角になる。また、本実施形態の場合、表面シリコンのマイグレーションを用いた場合よりも、空洞9の形状を制御性しやすくなる。

【0088】次に空洞9上のシリコン基板1をパターニングして素子分離溝(不図示)を形成することによって、図8(a)に示したように、複数のMOSトランジスタ形成領域18を形成した後、溝12aおよび素子分離溝の内部を絶縁膜で埋め込む。この結果、空洞が形成される。

【0089】このとき、溝12aは、素子分離溝によって複数の領域に分断されているので、つまり溝12aは複数の素子分離溝と繋がっているの、溝12aの内部を上記絶縁膜で容易に埋め込むことが可能となる。なお、溝12aの内部に空洞が残っても、この空洞は溝1

2aの内部の絶縁膜と同じ働きをするので問題はない。

【0090】最後に、通常のプロセスに従って複数のMOSトランジスタを形成する。このようにして形成された複数のMOSトランジスタでも第1の実施形態と同様な効果が得られる。

【0091】(第4の実施形態)図16は、本発明の第4の実施形態に係るMOSトランジスタの平面図および断面図であって、同図(a)は平面図、同図(b)は同平面図の矢視L-L'断面図、同図(c)は同平面図の矢視W-W'断面図をそれぞれ示している。

【0092】図中、31はシリコン基板を示しており、このシリコン基板31の表面には素子分離(STI)のための浅い素子分離溝32が形成されている。この素子分離溝32の内部は熱酸化膜33を介してシリコン酸化膜34で埋め込まれている。

【0093】素子分離溝32によって規定されたMOSトランジスタ形成領域48のシリコン基板31上にはゲート絶縁膜35を介してゲート電極36が形成され、このゲート電極36の側壁にはゲート側壁絶縁膜37が形成されている。ゲート電極36は、多結晶シリコン膜、多結晶シリコン膜と金属シリサイド膜との積層膜、または金属膜で構成されたものである。

【0094】また、シリコン基板31の表面には、ゲート電極36を介して合い対向するように、ソース拡散層38およびドレイン拡散層39が形成されている。ソース拡散層37は、低不純物濃度で浅い拡散層(エクステンション層)38aと、拡散層38aよりも高不純物濃度で深い拡散層38bとで構成されている。拡散層38aは拡散層38bよりもゲート電極36に近い領域に形成されている。

【0095】MOSトランジスタのチャネル領域下には、浅い拡散層38a、39aの底部角部と接する、素子の上から見た形状が長方形の空洞40が形成されている。この空洞40の内面は熱酸化膜41で覆われている。

【0096】本実施形態によれば、ソース拡散層38とドレイン拡散層39からの空乏層の伸びは空洞40のところで止まるため、MOSトランジスタの微細化を進めても、短チャネル効果を効果的に抑制できるなど、第1の実施形態と同様の効果が得られる。

【0097】さらに、本実施形態のMOSトランジスタは、以下に説明するように、空洞40とソース拡散層38との合わせずれ、および空洞40とドレイン層39との合わせずれを招くことなく形成できる。そのため、本実施形態のMOSトランジスタを多数形成しても、素子特性のばらつきは十分に小さくなる。したがって、本実施形態のMOSトランジスタを用いることによって、歩留まりの高い半導体集積回路を実現できるようになる。

【0098】次に本実施形態のMOSトランジスタの形成方法について説明する。図17~図20は、その形成

13

方法を示す工程断面図である。各図の左側はチャンネル長方向に平行な断面図、右側はチャンネル幅方向に平行な断面図を示している。ただし、チャンネル長方向に平行な断面図については素子分離溝は省略してある。

【0099】まず、図17(a)に示すように、シリコン基板31に、内面が熱酸化膜33で被覆された素子分離溝32を周知の技術により形成した後、素子分離溝32の内部を充填するように、素子分離絶縁膜としてのシリコン酸化膜34を全面に堆積する。

【0100】次に図17(b)に示すように、素子分離溝32の外部のシリコン酸化膜34をCMPにより除去して表面を平坦化した後、シリコン基板31上にシリコン酸化膜42、シリコン窒化膜43、フォトレジストパターン44を順次形成する。

【0101】次に図17(c)に示すように、フォトレジストパターン44をマスクにしてシリコン窒化膜43、シリコン酸化膜42を異方性エッチング、例えばRIEにより順次パターンニングし、続いてフォトレジストパターン44、シリコン窒化膜43、シリコン酸化膜42をマスクにしてシリコン基板31を異方性エッチングして、溝45を形成する。この後、フォトレジストパターン44を炭化して除去する。

【0102】次に図18(d)に示すように、溝45の側壁にシリコン酸化膜46を形成する。このようなシリコン酸化膜46は、全面にシリコン酸化膜を形成した後、RIEによりシリコン酸化膜の全面をエッチバックし、溝45の側壁にシリコン酸化膜を残置することで形成することができる。

【0103】次に図18(e)に示すように、溝45の底部のシリコン基板31が露出している部分に、例えばジクロロシランと塩化水素との混合ガスを用いた低温エピタキシャル技術により、エピタキシャルシリコン層47を選択的に成長させる。エピタキシャルシリコン層47の表面は、シリコン基板31の表面よりも少し高めか、ほぼ同じ位置になるようにする。

【0104】次に図18(f)に示すように、弗酸系の溶液を用いたウエットエッチングによってシリコン酸化膜46を除去する。その結果、エピタキシャルシリコン層47とシリコン基板31との間に、非常に幅の狭い溝48が形成される。

【0105】次に図19(g)に示すように、減圧下の非酸化性雰囲気、例えば10 Torr、1000℃の100%水素雰囲気中で高温アニールを行うことによって、第1の実施形態と同様に、溝48の開口部を閉ざして、シリコン基板31中に空洞40を形成する。

【0106】この工程で、エピタキシャルシリコン層47とシリコン基板31との区別はなくなるので、以下、エピタキシャルシリコン層47の部分もシリコン基板31という。

【0107】次に図19(h)に示すように、溝45の

14

底部のシリコン基板31の表面を熱酸化して、シリコン基板31の表面にゲート絶縁膜35を形成する。上記熱酸化は、例えば900℃、酸素とHClとの混合ガス雰囲気中で行う。このとき、酸化剤のごく一部がシリコン基板31中を拡散し、空洞40の内面も同時に酸化される。その結果、空洞39の内面にも熱酸化膜41が形成される。

【0108】次に図19(i)に示すように、溝45の内部にゲート電極36を形成する。このようなゲート電極36は、多結晶シリコン膜、多結晶シリコン膜と金属シリサイド膜との積層膜、または金属膜を溝45の内部を充填するように全面に堆積した後、溝45の外部の不要な膜をCMPにより除去することで形成できる。

【0109】ここで、ゲート電極36の端部は溝45の側壁と接し、溝45の側壁の下には空洞40が位置する。したがって、ゲート電極36はその端部が空洞40上に位置するように形成され、ゲート電極36と空洞40との位置ずれは生じない。また、空洞40の深さは溝48の深さを適切に選ぶことで最適にでき、空洞40の大きさはシリコン酸化膜46の膜厚を適切に選ぶことで最適にできる。

【0110】次に図20(j)に示すように、シリコン窒化膜43、シリコン酸化膜42を除去する。シリコン窒化膜43は加熱H<sub>3</sub>PO<sub>4</sub>溶液を用いて除去する。次に同図(j)に示すように、ゲート電極36をマスクにしてシリコン基板31に不純物イオンを注入した後、上記不純物イオンを活性化するためのアニールを行って、ソース拡散層38aおよびドレイン拡散層39aを形成する。

【0111】最後に、図20(k)に示すように、ゲート側壁絶縁膜37を形成し、このゲート側壁絶縁膜37とゲート電極36をマスクにしてシリコン基板31に不純物イオンを注入した後、上記不純物イオンを活性化するためのアニールを行って、ソース拡散層37bおよびドレイン拡散層38bを形成して、図16に示したMOSトランジスタが完成する。

【0112】なお、図20(j)の工程のアニールを省略し、図20(k)の工程のアニールで不純物イオンの活性化をまとめて行っても良い。

【0113】(第5の実施形態) 図21は、本発明の第5の実施形態に係るMOSトランジスタの平面図および断面図であって、同図(a)は平面図、同図(b)は同平面図の矢視L-L'断面図、同図(c)は同平面図の矢視W-W'断面図をそれぞれ示している。

【0114】本実施形態が第1の実施形態と異なる点は、空洞40aの形状およびその位置である。空洞40aの形状は円筒形であり、空洞aの両端面(円筒の上面および下面)はそれぞれ素子分離絶縁膜としてのシリコン酸化膜34に接している。空洞40aのゲート幅方向の断面は、図21(c)に示すように、ゲート絶縁膜3

15

5と空洞40aとの間の距離Xが一定となっている。

【0115】従来のゲート長が $0.2\mu\text{m}$ 以下の微細なMOSトランジスタでは、図22に示すように、ゲート電極36の電位の影響が小さい領域（ゲート電極36から離れた領域）においては空乏層49同士が接触するため、本来ドレイン電流50aが流れるべきゲート絶縁膜35の近傍だけではなく、ゲート絶縁膜35から遠く離れた場所においてもドレイン電流50bが流れてしまう。このドレイン電流50bはゲート電圧に依存しない電流であり、短チャネル効果の原因となる。

【0116】空乏層49の広がり抑制するために、ソース拡散層、ドレイン拡散層の不純物濃度を上げるという手法がある。しかし、ゲート長が $0.2\mu\text{m}$ 以下の微細な素子では、ソース拡散層、ドレイン拡散層の不純物濃度が $1 \times 10^{18}\text{cm}^{-3}$ に近づいてきており、不純物濃度をこれ以上高くすると他の問題を引き起こす。例えばソース拡散層、ドレイン拡散層における接合リーク電流の増加や、接合容量の増加という問題を引き起こす。

【0117】しかし、本実施形態によれば、ゲート電圧に依存しないドレイン電流の経路が空洞40aによって分断されるため、ソース・ドレイン間にゲート電圧に依存しないドレイン電流は流れなくなる。その結果、ソース拡散層、ドレイン拡散層の不純物濃度を高くしなくても、図23に示すように、従来の空洞40aの無いMOSトランジスタに比べて、短チャネル効果（SCE：Short Channel Effect）は抑制される。

【0118】ここで、本発明者らの研究によれば、空洞40aによる短チャネル効果の抑制効果は、空洞40aの位置によって変化することが分かった。以下、そのことについて説明する。

【0119】図24は、LDD構造で空洞40aを有するMOSトランジスタについてのゲート長 $L_g$ としきい値電圧 $V_{th}$ との関係を示す特性図である。ある短いゲート長 $L_g$ における短チャネル効果による素子特性の劣化の程度は、長チャネル（ゲート長 $L_g > 1\mu\text{m}$ ）のときのしきい値電圧 $V_{thL}$ とゲート長 $L_g$ のときのしきい値電圧 $V_{th0}$ との差 $\Delta V_{th} (= V_{thL} - V_{th0})$ で表すことができる。 $\Delta V_{th}$ が大きいほど短チャネル効果による素子特性の劣化の程度は大きいことになる。

【0120】図25は、このしきい値電圧の低下量 $\Delta V_{th}$ とゲート長 $L_g$ と空洞・ゲート絶縁膜間距離Xとの関係を示す特性図である。図から、空洞・ゲート絶縁膜間距離Xが短いほど、すなわち、空洞40aがゲート絶縁膜35に近いほど、空洞40aによる短チャネル効果の抑制効果が大きいことが分かる。

【0121】しかし、空洞40aがゲート絶縁膜35に近ければ近い程良いというわけではない。何故なら、図23に示すように、空洞40aは素子の駆動力を低下させる作用も持っているからである。

【0122】図26は、 $I_{dsat}(\text{空洞有り}) / I_{dsat}$

16

（空洞無し）と空洞・ゲート絶縁膜間距離Xとの関係を示す特性図である。図から、駆動力低下の傾向は、空洞・ゲート絶縁膜間距離Xがゲート長 $L_g$ の0.1倍の距離よりも短くなると、急激に大きくなる。

【0123】したがって、 $0.1L_g < X$ に設定することによって、駆動力の低下を招くことなく、短チャネル効果を効果的に抑制できる。なお、空洞・ゲート絶縁膜間距離Xの上限は例えば $L_g$ である。

【0124】また、本発明者らの研究によれば、図27に示すように、空洞・ゲート絶縁膜間距離Xによって、しきい値電圧 $V_{th}$ を制御できることが分かった。すなわち、空洞・ゲート絶縁膜間距離Xを短くすることによって、しきい値電圧を下げられることが明らかになった。

【0125】このような現象を利用することによって、ゲート長が $0.2\mu\text{m}$ 以下の微細なMOSトランジスタのゲート電極を、金属によって形成する場合に、しきい値電圧を低く調整することが困難であるという従来の問題を解決することが可能になる。

【0126】図28は、本実施形態のMOSトランジスタの形成方法を示す工程断面図である。これは図21の矢視A-A'方向の断面を示している。

【0127】まず、図28(a)に示すように、シリコン基板31の表面に溝45を形成する。溝45の平面パターンは、長辺がチャネル幅方向に延びた長方形である。

【0128】次に図28(b)に示すように、第1の実施形態と同様に、減圧下の非酸化性雰囲気、例えば $10\text{Torr}$ 、 $1000^\circ\text{C}$ の $100\%$ 水素雰囲気中で高温アニールを行うことによって、溝45の開口部を閉ざして、シリコン基板31中に空洞40aを形成する。本実施形態の場合、空洞40aの形状は円筒形となる。

【0129】次に図28(c)に示すように、シリコン基板31の表面に素子分離溝32を形成し、その内部を素子分離絶縁膜としてのシリコン酸化膜34で充填する。このとき、空洞40aの両端（円筒の上面および下面）を切り落とすように、素子分離溝32を形成し、残った空洞40aの両端がシリコン酸化膜34と接するようにする。この段階の平面図を図29(a)に示し、同平面図のW-W'断面図を図29(b)に示す。

【0130】次に図28(d)に示すように、基板表面を酸化してゲート絶縁膜35を形成した後、ゲート絶縁膜35上に多結晶シリコン膜を堆積し、この多結晶シリコン膜をパターニングしてゲート電極36を形成する。多結晶シリコン膜のパターニングは、ゲート電極36が空洞40aの直上に位置するように行う。このようなパターニングは、例えば図11や図12に示した合わせ方法を利用することで可能となる。

【0131】この後は、第4の実施形態と同様に、ゲート側壁絶縁膜37、ソース拡散層38、ドレイン拡散層39を形成して、図21に示したLDD構造のMOST

17

ランジスタが完成する。

【0132】(第6の実施形態)図30は、本発明の第6の実施形態に係るMOSトランジスタを示す断面図である。同図(a)は図21(b)に相当する断面図、同図(b)は図21(c)に相当する断面図である。

【0133】本実施形態が第5の実施形態と異なる点は、ゲート幅方向については、空洞40bとゲート絶縁膜35との間の距離(空洞・ゲート絶縁膜間距離 $X'$ )が周期的に変化していることにある。このように空洞・ゲート絶縁膜間距離 $X'$ が周期的に変化していても、第5の実施形態と同様に、短チャネル効果を効果的に抑制できるようにする。

【0134】本実施形態の場合、空洞・ゲート絶縁膜間距離 $X'$ の最大値 $X'_{\max}$ および最小値 $X'_{\min}$ がともに0.1 $L_g$ よりも大きな値に設定されていることが好ましい。また、 $X'_{\max}$ 、 $X'_{\min}$ の上限は第5の実施形態と同様に例えば $L_g$ である。

【0135】このようなMOSトランジスタを形成するには、第5の実施形態の図28(a)の工程で、一つの溝45を形成する代わりに、図31(a)に示すように、ゲート幅方向に沿って、複数の溝45bを形成する。これらの溝45bの平面パターン(開口パターン)は正方形、長方形、または円形でも良い。また、溝45bの間隔は短くする。

【0136】次に図31(b)に示すように、減圧下の非酸化性雰囲気中で高温アニールを行うことによって、球を連ねた形状の空洞40bを形成する。このような形状となる理由は、高温アニールによって、各溝45bがその開口部を閉ざして球形の空洞となり、さらに溝45bの間隔が短いので隣り合った球形の空洞同士が結合するからである。

【0137】この後の工程は、第5の実施形態の図28(c)の工程以降と同じである。ただし、本実施形態の場合には、球を重ねた形状の空洞40bの両端を切り落とすように、素子分離溝32を形成し、残った空洞40bの両端がシリコン酸化膜34と接するようにする。

【0138】(第7の実施形態)図32は、本発明の第7の実施形態に係るMOSトランジスタの平面図および断面図であって、同図(a)は平面図、同図(b)は同平面図の矢視 $L-L'$ 断面図、同図(c)は同平面図の矢視 $W-W'$ 断面図をそれぞれ示している。

【0139】図中、51はシリコン基板を示しており、このシリコン基板51の表面には溝52が形成されている。この溝52が形成された領域は通常通りに素子分離領域として用いられるとともに、バックゲート領域としても用いられる。溝52の内面は熱酸化膜53で被覆されている。溝52の内部は多結晶シリコン膜54を介してシリコン酸化膜55で埋め込まれている。

【0140】MOSトランジスタ領域56のシリコン基板51上には、第1のゲート絶縁膜57を介してゲート

18

電極58が形成されている。ゲート電極58は、多結晶シリコン膜、多結晶シリコン膜と金属シリサイド膜との積層膜、または金属膜で構成されたものである。ゲート電極58の側壁にはゲート側壁絶縁膜59が形成されている。また、シリコン基板51の表面には、LDD構造のソース拡散層60およびドレイン拡散層61が形成されている。

【0141】MOSトランジスタのチャネル領域下のシリコン基板51の内部には、チャネル幅方向に延びた円筒状のバックゲート電極54BGが埋め込まれている。バックゲート電極54BGと多結晶シリコン膜54は同じ工程で作られた同一の多結晶シリコン膜である。

【0142】MOSトランジスタ領域56においては、バックゲート電極54BGとシリコン基板51との界面には第2のゲート絶縁膜53Gが形成されている。第2のゲート絶縁膜53Gと熱酸化膜53とは同じ工程で作られた同一の熱酸化膜である。

【0143】MOSトランジスタ上には層間絶縁膜62が堆積され、この層間絶縁膜62上には金属配線63~66が形成され、これらの金属配線63~66は接続孔67~70を介してそれぞれソース拡散層60、ドレイン拡散層61、バックゲート電極54BG、ゲート電極58と電気的に接続している。

【0144】本実施形態によれば、バックゲート電極54BGに適当な電圧を印加することによって、チャネル領域における空乏層の広がりを抑制することができるようになり、トランジスタのON/OFF特性が向上する。したがって、本実施形態によれば、集積回路のさらなる高速化、高集積化のためにMOSトランジスタの微細化を進めても、短チャネル効果を効果的に抑制することが可能となる。

【0145】また、本実施形態によれば、SOI基板を用いてバックゲート電極を作り込む場合と異なり、シリコン基板51のMOSトランジスタの形成されている領域が、シリコン基板51の他の部分と絶縁されていない。そのため、基板浮遊効果等の問題が生じず、安定な素子動作が得られる。また、高価な基板であるSOI基板を用いずに済むので、当然コストの増加の問題はない。

【0146】次に本実施形態のMOSトランジスタの製造方法について説明する。図33~図36は、その形成方法を示す工程断面図である。各図の左側はチャネル長方向に平行な断面図、右側はチャネル幅方向に平行な断面図を示している。

【0147】まず、図33(a)に示すように、シリコン基板51上に酸化膜71を形成する。

【0148】次に図33(b)に示すように、酸化膜71上にフォトリソistパターン72を形成した後、このフォトリソistパターン72をマスクに用いたRIE等の異方性エッチングによって酸化膜71、シリコン基板

19

51をパターニングして、シリコン基板51に溝73を形成する。この後、フォトレジストパターン72を灰化して剥離する。

【0149】次に図33(c)に示すように、減圧下の非酸化性雰囲気、例えば10 Torr、1000℃の100%水素雰囲気中にて高温アニールを行なうことにより、溝73の開口部を閉ざしてシリコン基板51中に空洞74を形成する。

【0150】次に図33(d)に示すように、希HF溶液を用いて酸化膜71を除去した後、再度減圧下の非酸化性雰囲気、例えば10 Torr、1000℃の100%水素雰囲気中にて高温アニールを行なうことにより、シリコン基板51の表面を平坦化する。

【0151】次に図34(e)に示すように、シリコン基板51の表面を熱酸化して熱酸化膜75を形成した後、CVD法を用いて熱酸化膜75上にシリコン窒化膜76を形成する次に図34(f)に示すように、シリコン窒化膜76上にフォトレジストパターン77を形成した後、このフォトレジストパターン77をマスクにしてシリコン窒化膜76、熱酸化膜75、シリコン基板51を異方性エッチングすることによって、溝52を形成する。このとき、シリコン基板51内に形成された空洞74のチャネル幅方向の端部と溝52と繋がるようにする。この後、フォトレジストパターン77を灰化して剥離する。

【0152】次に図34(g)に示すように、950℃、HCl/O<sub>2</sub>雰囲気中で溝52の表面を熱酸化して熱酸化膜53を形成する。このとき、空洞74の内面も同時に酸化されるので、空洞74の内面には第2のゲート絶縁膜53gが形成される。

【0153】次に図34(h)に示すように、LPCVD法を用いてバックゲート電極54bgおよび多結晶シリコン膜54としての不純物を添加した多結晶シリコン膜を空洞74および溝52の内部を埋め込むように全面に堆積した後、バックゲート電極54bgおよび多結晶シリコン膜54として不要な多結晶シリコン膜を除去する。この多結晶シリコン膜の除去は、例えばCMPと異方性エッチングとを組み合わせたエッチバックによって行う。

【0154】次に図35(i)に示すように、CVD法を用いてシリコン酸化膜55を全面に堆積した後、CMP法を用いてシリコン窒化膜76の表面が露出するまでシリコン酸化膜55を研磨することによって、溝52の内部をシリコン酸化膜55で埋め込む。

【0155】次に図35(j)に示すように、熱したH<sub>3</sub>PO<sub>3</sub>溶液を用いてシリコン窒化膜76を除去する。この際に、溝52の上部のシリコン酸化膜55および熱酸化膜53が多少除去され、溝52の上部エッジ部のシリコン基板51の表面が露出する。

【0156】次に図35(k)に示すように、露出した

20

シリコン基板51の表面を酸化することによって、例えば厚さ10nmの熱酸化膜78を形成した後、しきい値電圧の調整を行なうために、熱酸化膜78を介してシリコン基板51中に、適宜必要なp型あるいはn型不純物をイオン注入法で導入する。

【0157】次に図35(l)に示すように、希HF溶液を用いて熱酸化膜78を除去した後、例えば900℃、HCl/O<sub>2</sub>雰囲気中で露出している基板表面を熱酸化することによって第1のゲート絶縁膜57を形成する。

【0158】このとき、第1のゲート絶縁膜57は、MOSトランジスタ形成領域上だけでなく、溝52の上部エッジ部上にも形成されるので、シリコンの露出面はなくなる。

【0159】この後は、周知のMOSトランジスタのプロセスと同じであり、まず、図36(m)に示すように、ゲート電極58となる多結晶シリコン膜を全面に形成した後、この多結晶シリコン膜をパターニングしてゲート電極58を形成する。

【0160】ここでは、ゲート電極58の構造として、ポリシリコンゲート構造を採用したが、その他に多結晶シリコン膜/メタル膜の積層膜からなるポリメタルゲート構造、メタルゲート構造などの他の構造を採用しても良い。

【0161】次に図36(n)に示すように、ゲート側壁絶縁膜59、LDD構造のソース拡散層60およびドレイン拡散層61を形成する。

【0162】最後に、層間絶縁膜62を全面に堆積し、リソグラフィーおよび異方性エッチング用いて層間絶縁膜62に接続孔67~70を開口し、配線63~66を形成して、図32に示したMOSトランジスタが完成する。

【0163】(第8の実施形態) 本実施形態では、以上述べてきたMOSトランジスタの空洞の形成方法の改良について説明する。シリコン基板内に空洞を形成するためには、高温、長時間の熱処理が必要になる。また、空洞となる溝のアスペクト比が3程度と小さいと、熱処理によって基板表面を平坦にすることはできるが、空洞を形成することは困難になる。

【0164】本実施形態では、以上述べて不都合を解消した空洞の形成方法について説明する。本実施形態の空洞形成方法は、第1~第7の実施形態のMOSトランジスタのいずれにも適用可能である。

【0165】まず、図37(a)に示すように、シリコン基板81上にマスクパターン82を形成し、このマスクパターン82をマスクに用いたRIE等の異方性エッチングによってシリコン基板81をパターニングして、溝83を形成する。

【0166】ここで、マスクパターン82は、例えば、フォトレジストを用いてシリコン酸化膜をパターニング

21

して形成したものである。また、溝 83 のサイズは、開口径が  $0.4\ \mu\text{m}$ 、深さが  $1.2\ \mu\text{m}$  である。

【0167】次に図 37 (b) に示すように、マスクパターン 82 を除去し、シリコン基板 81 の表面の自然酸化膜を除去した後、エピタキシャル成長法によって厚さ  $50\text{nm}$ 、Ge 含有率 15% のエピタキシャル SiGe 膜 84 を全面に形成する。この結果、溝 83 の内面は SiGe で形成されることになる。

【0168】最後に、図 37 (c) に示すように、 $1000^\circ\text{C}$ 、 $10\text{Torr}$  の 100% 水素雰囲気中にて熱処理を 10 分間行うことで、シリコン基板 81 内に空洞 85 を形成する。このとき、エピタキシャル SiGe 膜 84 中の Ge はシリコン基板 81 中に拡散し、エピタキシャル SiGe 膜 84 は消滅する。ここでは、 $1100^\circ\text{C}$  の熱処理を行ったが、 $950^\circ\text{C}$  の熱処理でも良い。すなわち、Ge の無い純シリコンの基板の場合よりも低い温度の熱処理でも、空洞 85 を形成することが可能となる。

【0169】また、本発明者らは、エピタキシャル SiGe 膜 84 を形成しないことは除いて上記方法と同じ方法で、空洞 85 の形成を試みてみたが、シリコン基板 81 の表面は平坦になったが、空洞 85 は形成されなかった。

【0170】以上の結果から、同じアスペクト比の溝 83 を有するシリコン基板 81 に同条件の熱処理を施して、シリコン基板 81 上にエピタキシャル SiGe 膜 84 が堆積した場合には空洞 85 を形成でき、一方、シリコン基板 81 上にエピタキシャル SiGe 膜 84 を堆積しなかった場合には空洞 85 を形成できないことが明らかになった。

【0171】溝 83 の内面をシリコンよりも融点の低い SiGe で形成すると、アスペクト比 3 という形状の溝 83 をシリコン基板 81 に形成しても、シリコン基板 81 内に空洞 85 を形成できるのは、より低温で溝 83 の内面表面でマイグレーションが生じるからだと考えられる。

【0172】図 38 に内壁にエピタキシャル SiGe 膜が形成されていないトレンチの熱処理前後の顕微鏡写真を示す。また、図 39 に内壁にエピタキシャル SiGe 膜が形成されたトレンチの熱処理前後の顕微鏡写真を示す。各図 (a) は熱処理前、各図 (b) は熱処理後を示している。エピタキシャル SiGe 膜の膜厚は  $200\text{nm}$ 、熱処理温度は  $1100^\circ\text{C}$ 、圧力は  $380\text{Torr}$ 、熱処理時間は 10 分である。これらの図から、内壁にエピタキシャル SiGe 膜を形成した場合には、熱処理によってトレンチの形状が大きく変形することが分かる。

【0173】図 40 に、SiGe の融点の Si 濃度の依存性を示す。図から、SiGe の融点は Si の融点と Ge の融点との間で Ge を多く含むほど融点下がるということが分かる。

22

【0174】したがって、Ge 含有率が 15% のエピタキシャル SiGe 膜 84 を用いる代わりに、より多く Ge を含むエピタキシャル SiGe 膜、または Ge エピタキシャル膜を用いても、エピタキシャル SiGe 膜 84 を用いたのと同様の効果が得られる。

【0175】ただし、溝を確実に変形させて空洞を形成するためには、Ge 含有率は 40% 以下が好ましい。溝を変形させて内面が滑らか形状の空洞を形成するためには、20% 以下が好ましく、10% 以下がより好ましい。

【0176】以上説明したように、本実施形態によれば、融点の低いエピタキシャル SiGe 膜 84 を利用することで、より低温短時間で溝 83 を変形させることができ、容易に空洞 85 を形成することができる。また、アスペクト比が 3 と小さな溝 83 を用いてもシリコン基板 81 内に空洞 85 を形成することができる。また、本発明者らは、アスペクト比が 1 とより小さな溝を用いても、シリコン基板内に空洞を形成することができることを確認した。

【0177】(第 9 の実施形態) 本実施形態でも、以上述べてきた MOS トランジスタの空洞の形成方法の改良について説明する。

【0178】空洞上の基板表面は、素子を形成する領域なので平坦である必要がある。空洞上の素子領域を平坦にする方法の 1 つとして、空洞形成後に高温・非酸化性雰囲気中にてシリコン基板を熱処理することが考えられる。

【0179】しかし、この方法では、熱処理条件によっては、空洞の変形、縮小または消失が生じ、その結果として空洞による短チャネル効果の抑制などの効果が得られなくなる可能性がある。

【0180】本実施形態では、以上述べた不都合を解消した空洞の形成方法について説明する。本実施形態の空洞形成方法は、第 1～第 7 の実施形態の MOS トランジスタのいずれにも適用可能である。

【0181】まず、図 41 (a) に示すように、第 8 の実施形態と同様に、シリコン基板 91 上にマスクパターン 92 を形成し、このマスクパターン 92 をマスクに用いた異方性エッチングによってシリコン基板 91 をパターニングして、溝 93 を形成する。

【0182】次に図 41 (b) に示すように、減圧下の非酸化性雰囲気、例えば  $1100^\circ\text{C}$ 、 $10\text{Torr}$  の 100% 水素雰囲気中にて高温熱処理を 10 分間行うことにより、溝 93 の開口部を閉ざして空洞 94 を形成する。このとき、空洞 94 上のシリコン基板 91 の表面には窪み 95 が生じ、表面は平坦でなくなる。この後、マスクパターン 92 を例えば弗化水素水溶液を用いて除去する。

【0183】次に図 41 (c) に示すように、酸化性雰囲気、例えば  $1100^\circ\text{C}$  の乾燥酸素雰囲気中にて酸化処

理を 1 時間行うことにより、シリコン基板 9 1 の表面および空洞 9 4 の内面にシリコン酸化膜 9 6 を形成する。空洞 9 4 の内面に形成されたシリコン酸化膜 9 6 は、その後の熱工程での空洞 9 4 の変形、縮小および消滅を防ぐ役割を持っている。

【0184】最後に、図 4 1 (d) に示すように、弗化水素水溶液を用いてシリコン基板 9 1 の表面のシリコン酸化膜 9 6 を除去した後、高温、非酸化性雰囲気での熱処理によって、空洞 9 4 の形成時に生じた窪み 9 5 を消滅させ、基板表面を平坦化する。このとき、空洞 9 4 の変形、縮小および消失のいずれも生じない。

【0185】以上説明したように、本実施形態によれば、空洞 9 4 の形成時に生じた窪み 9 5 を消滅させるための熱処理を行う前に、空洞 9 4 の内面にシリコン酸化膜 9 6 を形成することによって、空洞 9 4 の変形、縮小および消失を招かずに、基板表面を平坦にできるようにする。

【0186】(第 10 の実施形態) 図 4 2 は、本発明の第 10 の実施形態に係る MOS トランジスタの空洞の形成方法を示す工程断面図である。なお、図 3 7 と対応する部分には図 3 7 と同一符号を付してある。

【0187】まず、図 4 2 (a) に示すように、シリコン基板 8 1 上にマスクパターン 8 2 を形成し、第 9 の実施形態と同様に、マスクパターン 8 2 をマスクに用いた異方性エッチングによってシリコン基板 8 1 をパターニングして、溝 8 3 を形成する。溝 8 3 の開口径は 0.4  $\mu\text{m}$ 、深さは 1.2  $\mu\text{m}$  である。

【0188】次に図 4 2 (b) に示すように、溝 8 3 の内面に形成された自然酸化膜 (不図示) を除去した後、エピタキシャル成長法によって、溝 8 3 の内面にエピタキシャル SiGe 膜 8 4 を選択的に形成する。この後、マスクパターン 8 2 を除去する。

【0189】最後に、図 4 2 (c) に示すように、1000℃、10 Torr の 100% 水素雰囲気中にて高温熱処理を 10 分間行うことにより、空洞 8 5 を形成する。

【0190】以上述べたように、本実施形態によれば、溝 8 5 以外の領域の基板表面をマスクパターン 8 2 で覆った状態で、SiGe のエピタキシャル成長を行うことによって、シリコン基板 8 1 の上面の平坦性を失うことなく、シリコン基板 8 1 中に空洞 8 5 を形成することができる。

【0191】なお、図 4 2 (c) の工程の後に、図 4 2 (d) に示すように、基板表面にエピタキシャル Si 膜 8 6 を形成しても良い。このエピタキシャル Si 膜 8 6 は実質的に Ge は含んでいない。そのため、エピタキシャル膜 8 6 を用いてトランジスタを形成すれば、チャネル界面での Ge の影響を考慮する必要がなくなるので、トランジスタの設計が容易となる。

【0192】次に図 4 3 を用いて SiGe 膜 8 4 の流動

現象について説明する。

【0193】まず、図 4 3 (a) に示すように、溝 8 3 の内面に SiGe 膜 8 4 を選択的に形成した。溝 8 5 の直径は 1.6  $\mu\text{m}$ 、深さは 6  $\mu\text{m}$  である。SiGe 膜 8 4 の Ge 含有率は 15%、膜厚は 100 nm である。

【0194】次に 1100℃、1 Torr の 100% 水素雰囲気中にて熱処理を行った。その結果、図 4 3 (b) に示すように、シリコン基板 8 1 よりも融点の低い SiGe 膜 8 4 が先に流動した。その結果、溝 8 3 の形状が大きく変わった。

【0195】その後、溝 8 3 の下部のシリコン基板 8 1 が、表面エネルギーの小さい形状 (この場合は球) に変形しようとする駆動力によって、溝 8 3 の側面および底面の部分のシリコン基板 8 1 および SiGe 膜 8 4 が大きく変形し、その結果としてシリコン基板 8 1 内には図 4 3 (c) に示すような空洞 8 5 が形成された。

【0196】図 4 3 (c) には、もとの直径 1.6  $\mu\text{m}$  の溝 8 が点線で示されている。図 4 3 (c) から空洞 8 5 が形成される際にはシリコンも大きく流動することが分かる。

【0197】図 4 4 は、SiGe 膜を形成せずに溝を有するシリコン基板 8 1 に熱処理を施した後の上記溝の形状を示す断面図である。図中、8 3 は熱処理前の溝、8 3 a は熱処理後の溝を示している。溝 8 3 の寸法および熱処理条件は図 4 1 の場合と同じである。

【0198】図から、同じ条件の熱処理でも溝は変形するが、空洞は形成されないことが分かる。これは同じ条件の熱処理でも、溝の形状が異なることによって、シリコンの流動のしやすさが異なるからであると考えられる。

【0199】図 4 3 の場合には、SiGe 膜 8 4 の流動によって溝 8 3 の形状が大きく変化するが、図 4 4 の場合には、SiGe 膜 8 4 が無いので溝 8 3 の形状がほとんど変化しない。溝の形状の変化が大きいとシリコン基板が変形しようとする駆動力も大きくなり、シリコンの流動は起こり易くなる。

【0200】したがって、図 4 3 の場合には大きな駆動力が得られて空洞を形成でき、図 4 4 の場合には小さな駆動力しか得られないので空洞は形成できないと考えられる。以上のことから、空洞を容易に形成するためには SiGe 膜の膜厚を厚くして溝の変形を大きくすることが好ましいといえる。

【0201】次にシリコン基板に形成した空洞を原子間顕微鏡 (AFM) で詳細に調べた結果について説明する。

【0202】ここでは、シリコン基板に溝を形成した後、1100℃、10 Torr の水素雰囲気中で 10 分間熱処理することによって空洞を形成した。このように高温・非酸化雰囲気中での熱処理により、シリコン基板の表面の自然酸化膜が除去され、シリコンがむき出しに

25

なると、シリコン基板の表面エネルギーが最小になるようにシリコン原子がシリコン基板の表面を拡散する。その結果、シリコン基板内に空洞が形成される。

【0203】図45に、このようにして形成された空洞をAFMによって分析した結果である顕微鏡写真を示す。図から空洞の内面は多面体で形成されていることが分かる。さらに、多面体を構成する面の面方位がシリコン基板の主面である(100)面となす角度を調べたことによって以下のことが分かった。すなわち、多面体を構成する面は、{100}面群、{110}面群、{111}面群、{311}面群、{531}面群、{541}面群から構成されていることが明らかになった。これらの面群は表面エネルギーが低いことから、上記空洞は熱的に安定であるといえる。また、上記空洞を第7の実施形態のようにバックゲート構造に利用した場合には、バックゲート電極54Bgとゲート絶縁膜53gとの界面準位が少なくなり、優れた電気特性が得られる。

【0204】なお、本発明は、上記実施形態に限定されるものではない。例えば、上記実施形態では、MOSトランジスタの場合について説明したが、これに限らず他の電界効果トランジスタ、例えばMESFET等にも本発明は適用可能である。さらに2重ゲート構造(例えば浮遊ゲート/制御ゲート)のMOSトランジスタであっても良い。

【0205】また、上記実施形態では、MOSトランジスタ形成領域下に空気で満たされた領域(空洞)、絶縁膜(固体)で満たされた領域を形成することによって、ソースとドレインからの空乏層の伸びを停止させ、もって短チャネル効果を抑制したが、MOSトランジスタ形成領域下に液体で満たされた領域を形成することによって短チャネル効果を抑制しても良い。

【0206】また、空洞や絶縁膜の代わりに、半導体基板の構成材料よりもバンドギャップの大きな半導体材料からなる半導体層を形成することによって、空乏層の伸びを停止させることも可能である。

【0207】この場合、例えば基板表面に溝を形成し、この溝の底部に上記バンドギャップの大きい半導体層を形成し、その上に半導体基板の構成元素からなる半導体層を形成して溝を埋め込むと良い。また、使用する半導体材料は、素子寸法や電源電圧等の装置仕様等を考慮して選ぶ。

【0208】また、上記実施形態で説明したMOSトランジスタは、例えばDRAMのメモリセルに用いられるものである。また、本発明を2重ゲート構造のMOSトランジスタに適用した場合には、同MOSトランジスタは例えばEEPROMのメモリセルに用いられるものである。

【0209】また、上記実施形態で説明したMOSトランジスタのチャネルタイプは、nチャネルでもpチャネルも良く、nチャネルの場合にはAs等のn型不純物を

26

シリコン基板にイオン注入して、n型ソース拡散層およびn型ドレイン拡散層を形成する。ゲート電極が多結晶シリコン膜で形成されている場合には、多結晶シリコン膜にもn型不純物が導入される。

【0210】また、上記実施形態で説明したMOSトランジスタは、シリコン基板の表面に形成したウェル層に作成しても良い。例えば、CMOSの場合には、nチャネルおよびpチャネルMOSトランジスタの少なくとも一方が、ウェル層に形成されることになる。

【0211】また、基板はシリコン基板以外の他の基板でも良く、例えばSiGe基板でも良い。また、部分空乏のMOSトランジスタを作成する場合であれば、SOI基板でも良い。ただし、この場合には、SOI基板に起因するコストアップ等の課題は残る。

【0212】その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0213】

【発明の効果】以上詳説したように本発明によれば、ソースとドレインからの空乏層の伸びは空洞、半導体層または絶縁物のところで止まるもので、チャネル領域における空乏層の広がりを防止でき、これにより微細化を進めても電界効果トランジスタの短チャネル効果を効果的に抑制できるようになる。また、本発明によれば、半導体基板中に形成された電極(バックゲート電極)と、この電極と半導体基板との界面に形成された絶縁膜(ゲート絶縁膜)とによって構成された絶縁ゲート構造を備えているので、上記電極に適切な電圧を印加することによって、チャネル領域における空乏層の広がりを抑制でき、これにより素子の微細化が進んでも、短チャネル効果を効果的に抑制できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るMOSトランジスタを示す平面図および断面図

【図2】図1のMOSトランジスタの形成方法の前半を示す工程断面図

【図3】図1のMOSトランジスタの形成方法の前半を示す工程断面図

【図4】図1のMOSトランジスタの形成方法の後半を示す工程断面図

【図5】溝のアスペクト比の違いによる空洞のできかたの違いを示す断面図

【図6】空洞の形状、サイズの制御方法を説明するための工程断面図

【図7】棒状の空洞の形成方法を説明するための平面図および断面図

【図8】図6に示した空洞を用いたMOSトランジスタを示す平面図および断面図

【図9】図1のMOSトランジスタの変形例を示す平面図および断面図

【図10】図9のMOSトランジスタの形成方法を示す



## 工程断面図

【図11】空洞の位置合わせ方法を説明するための工程断面図

【図12】空洞の他の位置合わせ方法を説明するための工程断面図

【図13】本発明の第2の実施形態に係るMOSトランジスタを示す平面図および断面図

【図14】同MOSトランジスタの形成方法を示す工程断面図

【図15】本発明の第3の実施形態に係るMOSトランジスタの形成方法を示す工程断面図 10

【図16】本発明の第4の実施形態に係るMOSトランジスタを示す平面図および断面図

【図17】同MOSトランジスタの形成方法を示す工程断面図

【図18】図17に続く同MOSトランジスタの形成方法を示す工程断面図

【図19】図18に続く同MOSトランジスタの形成方法を示す工程断面図

【図20】図19に続く同MOSトランジスタの形成方法を示す工程断面図 20

【図21】本発明の第5の実施形態に係るMOSトランジスタを示す平面図および断面図

【図22】従来のゲート長が $0.2\mu\text{m}$ 以下の微細なMOSトランジスタの問題点を説明するための断面図

【図23】図21のMOSトランジスタの効果を説明するための $V_g-I_d$ 特性図

【図24】LDD構造で空洞を有するMOSトランジスタについてのゲート長 $L_g$ としきい値電圧との関係を示す特性図 30

【図25】同MOSトランジスタについてのしきい値電圧の低下量とゲート長と空洞・ゲート絶縁膜間距離との関係を示す特性図

【図26】 $I_{dsat}$  (空洞有り) /  $I_{dsat}$  (空洞無し) と空洞・ゲート絶縁膜間距離との関係を示す特性図

【図27】空洞・ゲート絶縁膜間距離としきい値電圧との関係を示す特性図

【図28】図21のMOSトランジスタの形成方法を示す工程断面図

【図29】同MOSトランジスタの形成途中の平面図および断面図 40

【図30】本発明の第6の実施形態に係るMOSトランジスタを示す断面図

【図31】同MOSトランジスタの形成方法を示す工程断面図

【図32】本発明の第7の実施形態に係るMOSトランジスタを示す平面図および断面図

【図33】同MOSトランジスタの形成方法を示す工程断面図

【図34】図33に続く同MOSトランジスタの形成方 50

法を示す工程断面図

【図35】図34に続く同MOSトランジスタの形成方法を示す工程断面図

【図36】図35に続く同MOSトランジスタの形成方法を示す工程断面図

【図37】本発明の第8の実施形態に係るMOSトランジスタの空洞の形成方法を示す工程断面図

【図38】内壁にエピタキシャルSiGe膜が形成されていないトレンチの熱処理前後の形状を示す顕微鏡写真

【図39】内壁にエピタキシャルSiGe膜が形成されたトレンチの熱処理前後の形状を示す顕微鏡写真

【図40】SiGeの融点のSi濃度の依存性を示す図

【図41】本発明の第9の実施形態に係るMOSトランジスタの空洞の形成方法を示す工程断面図

【図42】本発明の第10の実施形態に係るMOSトランジスタの空洞の形成方法を示す工程断面図

【図43】トレンチの内壁に形成したSiGe膜の流動現象を説明するための図

【図44】SiGe膜を形成せずに熱処理を行った場合のトレンチの形状を示す断面図

【図45】原子間顕微鏡で観察した空洞の内壁を示す顕微鏡写真

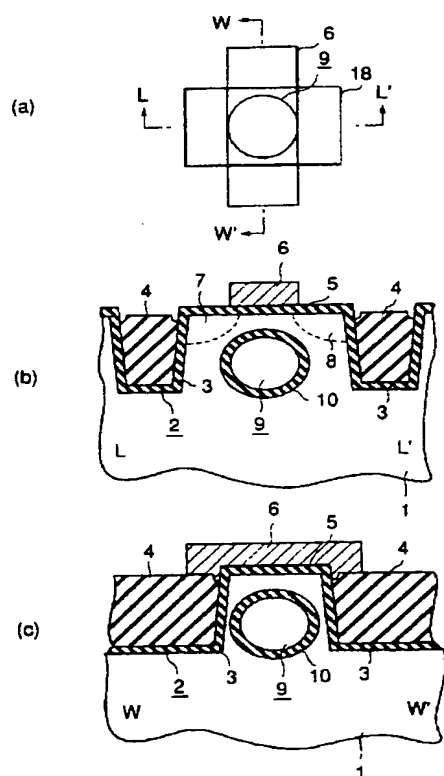
【符号の説明】

- 1…シリコン基板
- 2…素子分離溝
- 3, 10, 13, 16…熱酸化膜
- 4…シリコン酸化膜
- 5…ゲート絶縁膜
- 6…ゲート電極
- 7…ソース拡散層
- 8…ドレイン拡散層
- 9…空洞
- 9s…空間
- 11…フォトレジストパターン
- 12, 12a, 12'…溝
- 14…シリコン窒化膜
- 15…フォトレジストパターン
- 17…不純物イオン
- 18…MOSトランジスタ形成領域
- 19…絶縁膜マスク
- 19a…マーク
- 20, 22…アモルファスシリコン膜
- 21…絶縁膜 (絶縁物)
- 31…シリコン基板
- 32…素子分離溝
- 33, 41…熱酸化膜
- 34, 42, 46…シリコン酸化膜
- 35…ゲート絶縁膜
- 36…ゲート電極
- 37…ゲート側壁絶縁膜

29

- 38…ソース拡散層  
 39…ドレイン層  
 40, 40a, 40b…空洞  
 43…シリコン窒化膜  
 44…フォトリソグパターン  
 45, 45b, 48…溝  
 47…エピタキシャルシリコン層  
 51…シリコン基板  
 52…溝  
 53…熱酸化膜  
 54…多結晶シリコン膜  
 54BG…バックゲート電極  
 55…シリコン酸化膜  
 56…MOSトランジスタ領域  
 57…ゲート絶縁膜  
 58…ゲート電極  
 59…ゲート側壁絶縁膜  
 60…ソース拡散層  
 61…ドレイン層  
 62…層間絶縁膜  
 63～66…金属配線

【図1】

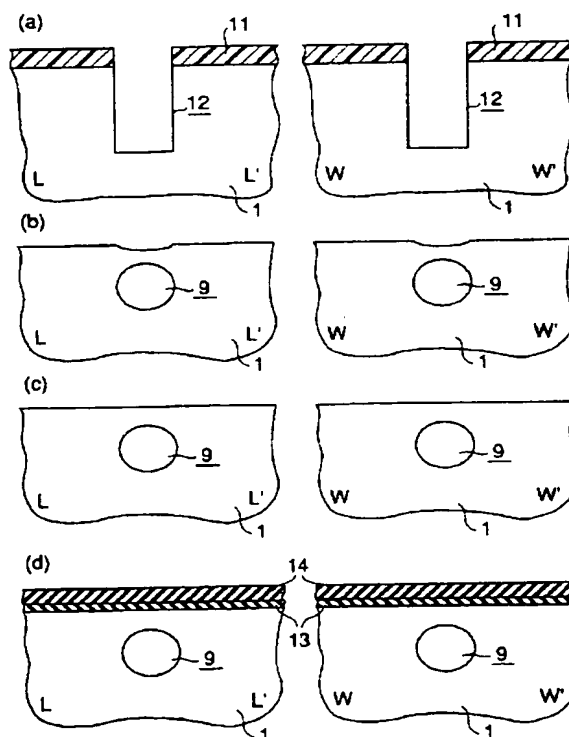


30

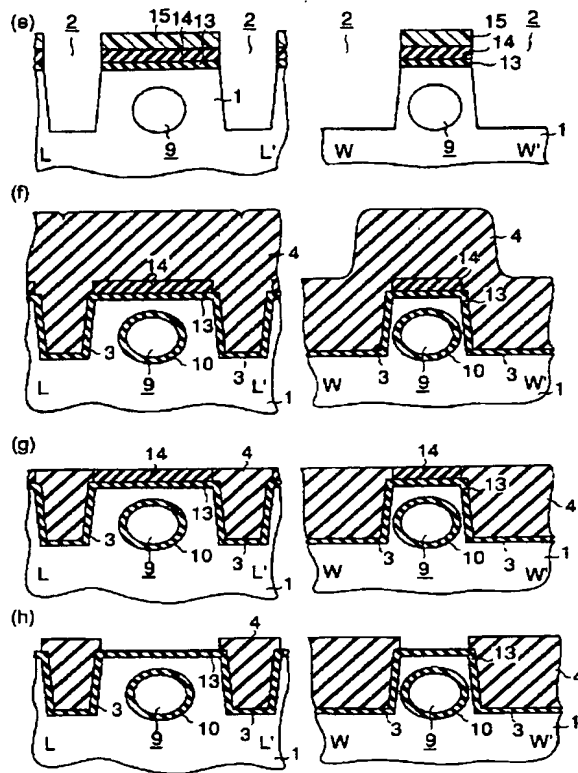
- \* 67～70…接続孔  
 71…酸化膜  
 72…フォトリソグパターン  
 73…溝  
 74…空洞  
 75…熱酸化膜  
 76…シリコン窒化膜  
 77…フォトリソグパターン  
 78…熱酸化膜  
 10 81…シリコン基板  
 82…マスクパターン  
 83…溝  
 84…エピタキシャルSiGe膜  
 85…空洞  
 91…シリコン基板  
 92…マスクパターン  
 93…溝  
 94…空洞  
 95…窪み  
 20 96…シリコン酸化膜

\*

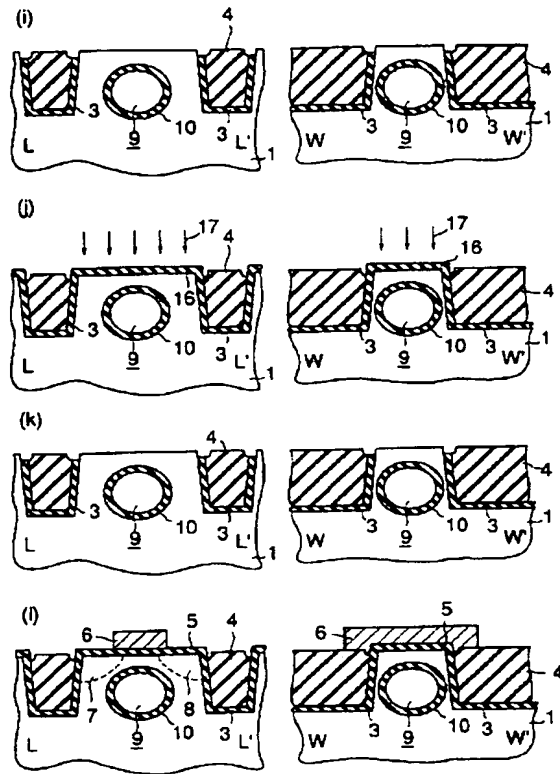
【図2】



【図3】

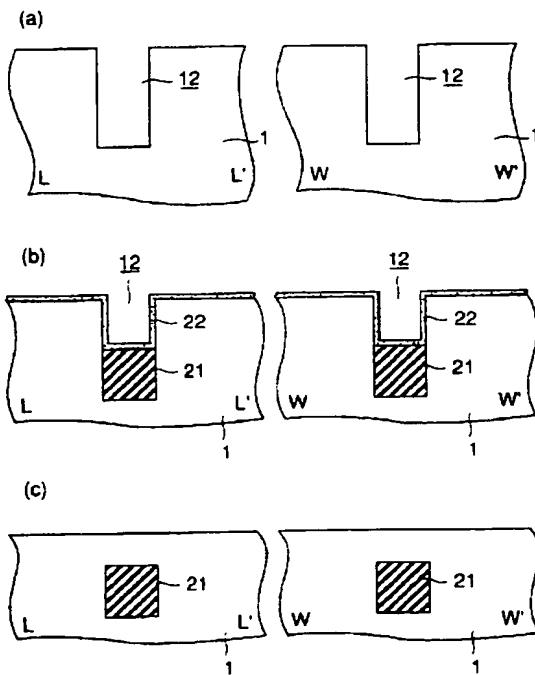
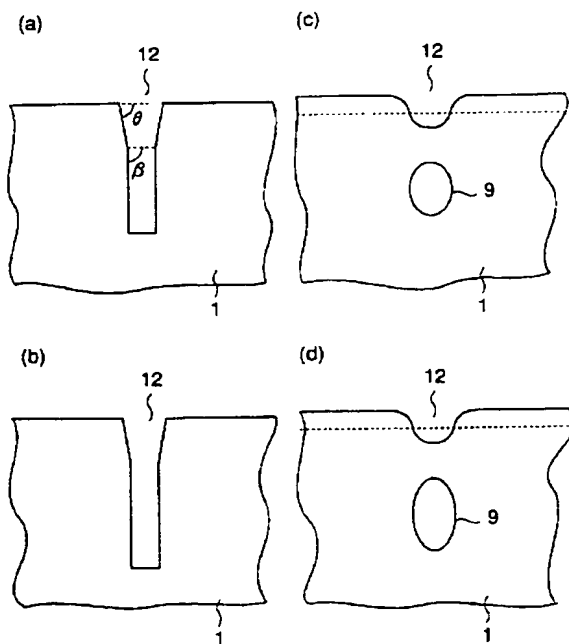


【図4】

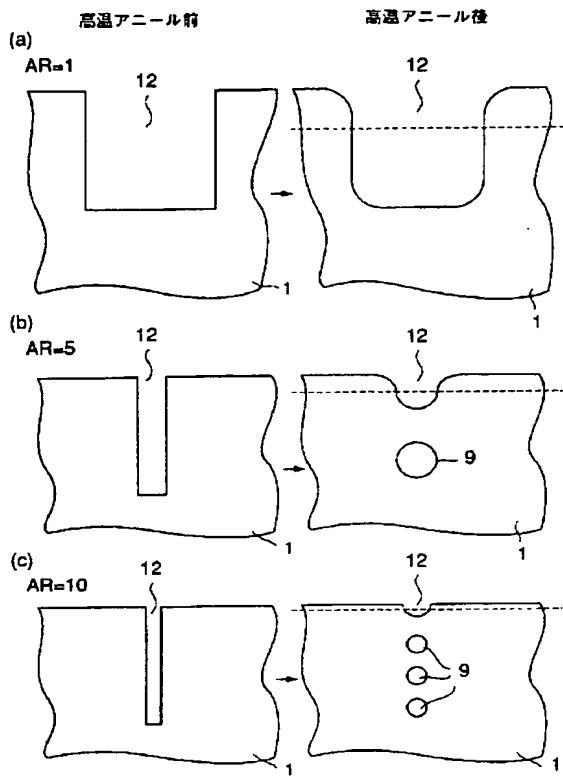


【図14】

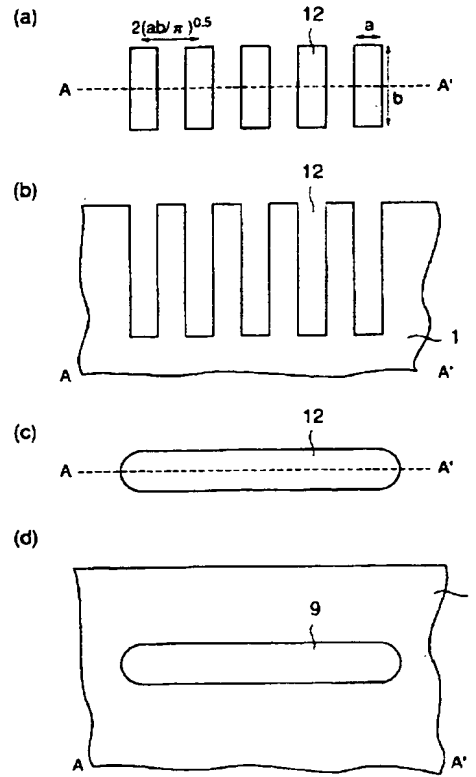
【図6】



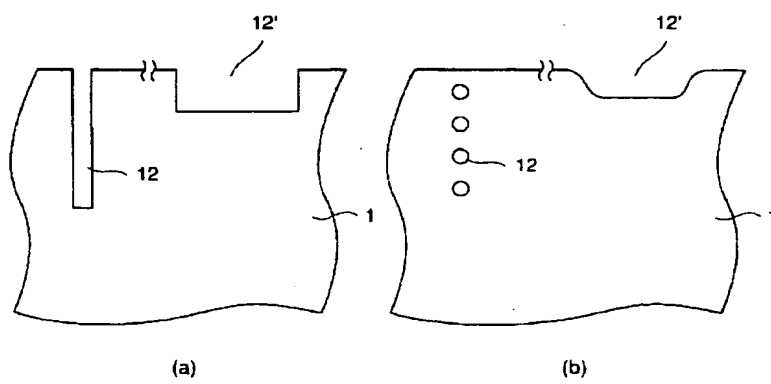
【図 5】



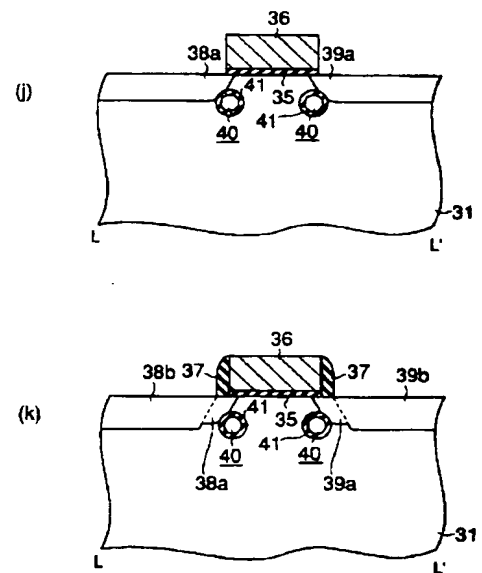
【図 7】



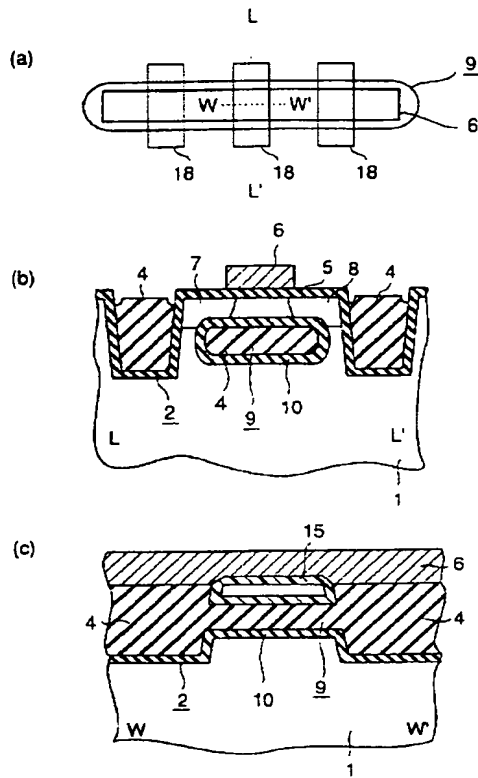
【図 11】



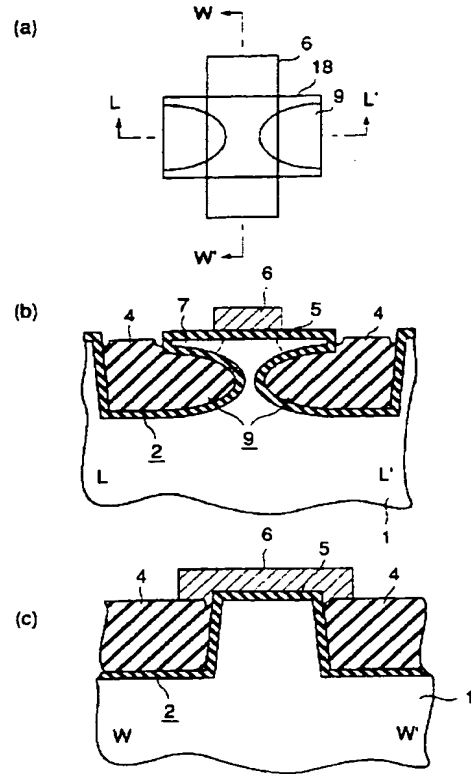
【図 20】



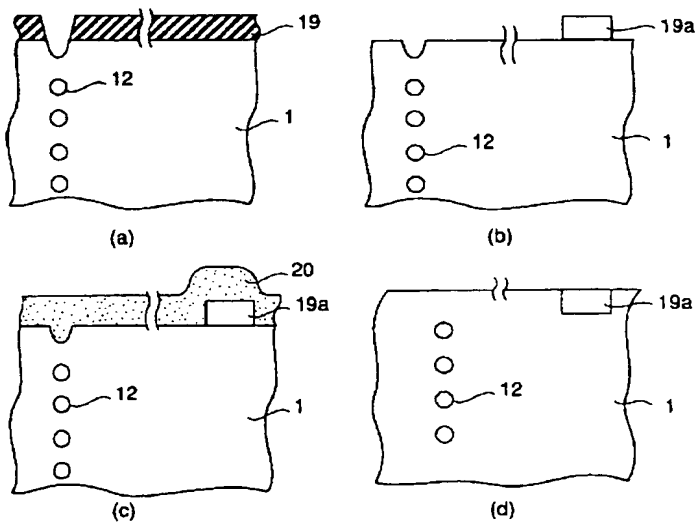
【図 8】



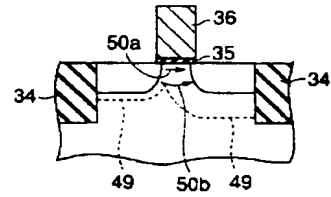
【図 9】



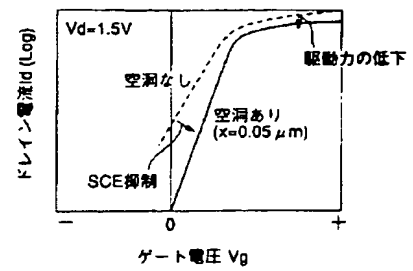
【図 12】



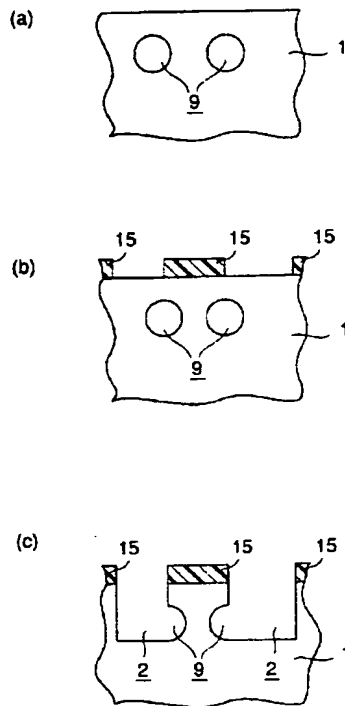
【図 22】



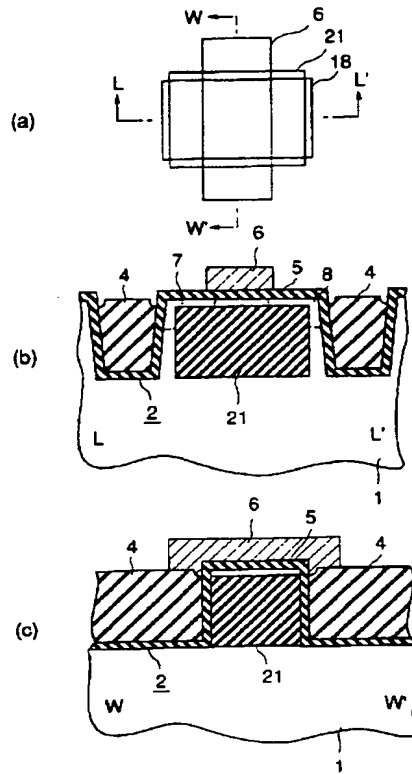
【図 23】



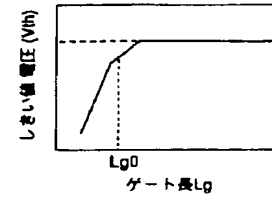
【図10】



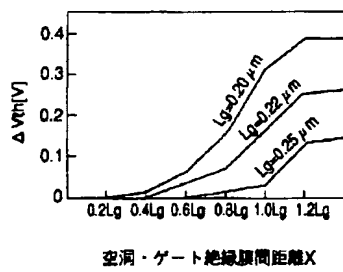
【図13】



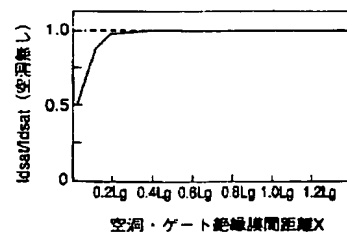
【図24】



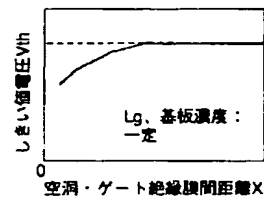
【図25】



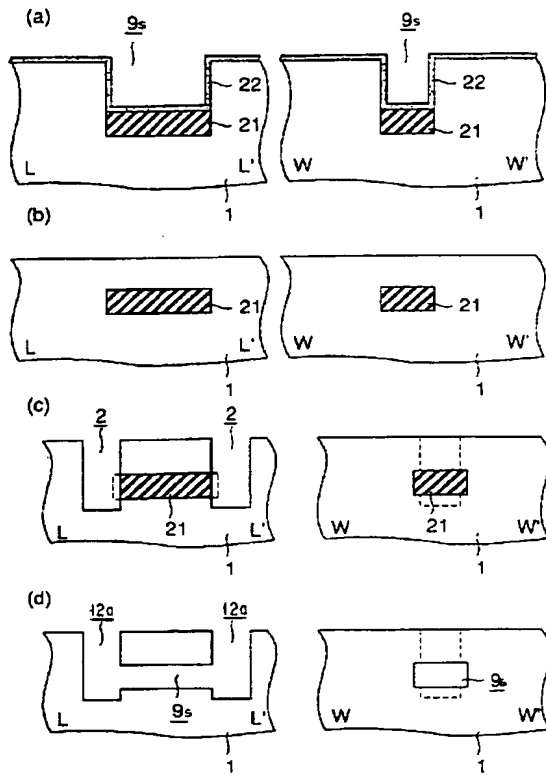
【図26】



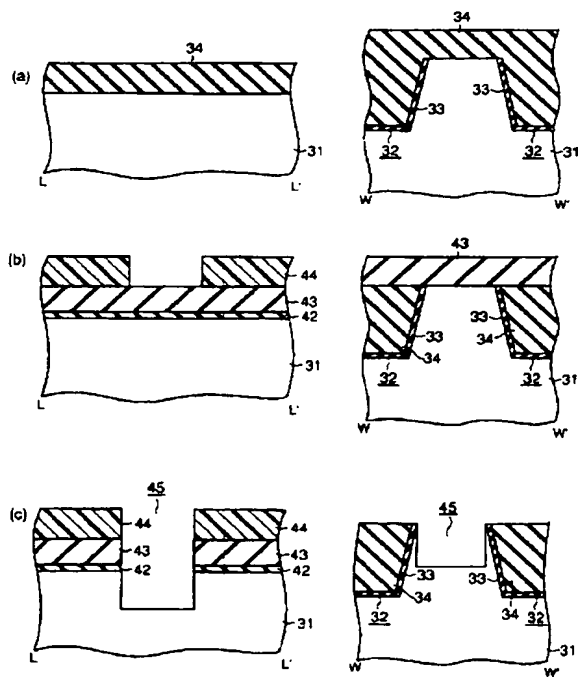
【図27】



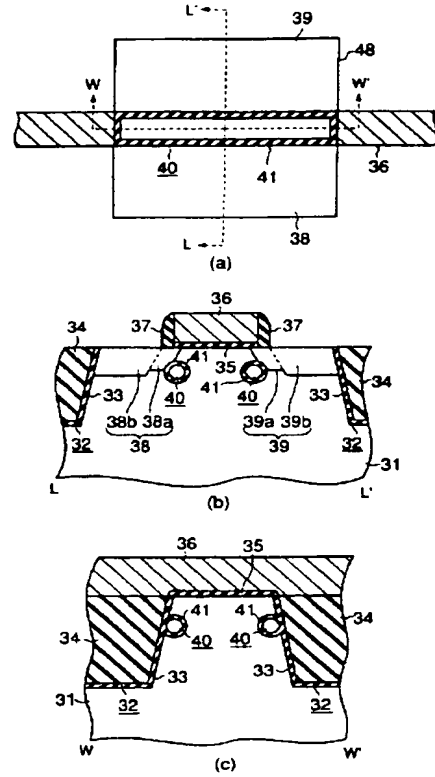
【図 15】



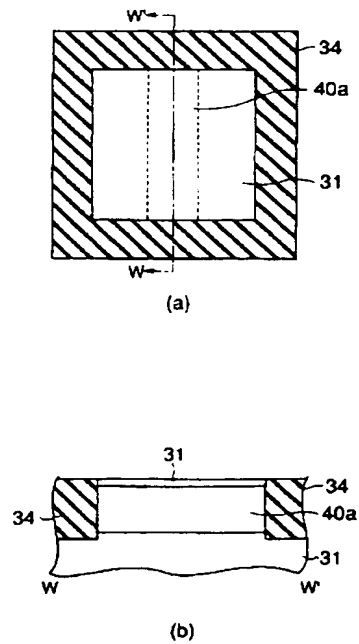
【図 17】



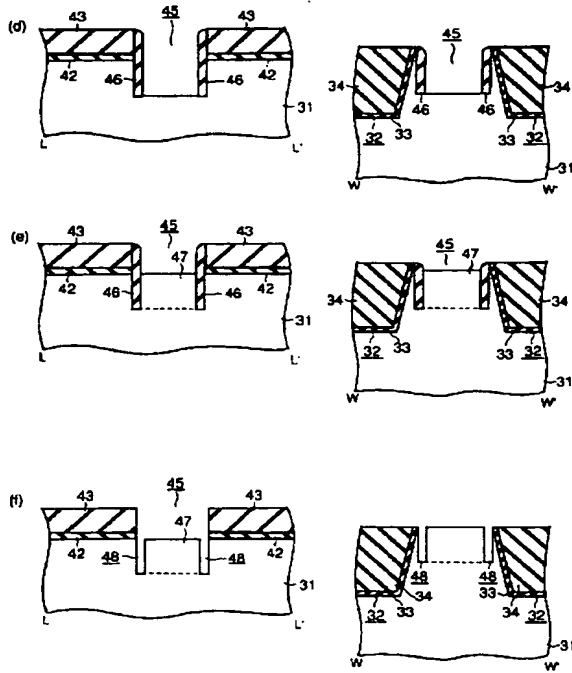
【図 16】



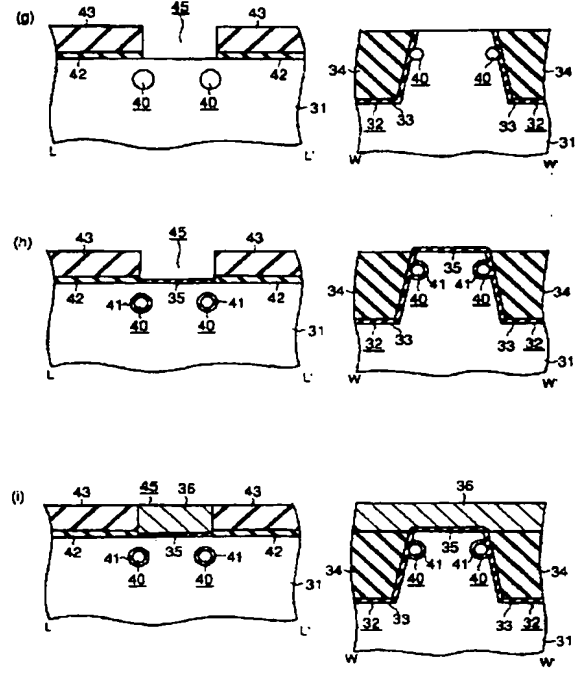
【図 29】



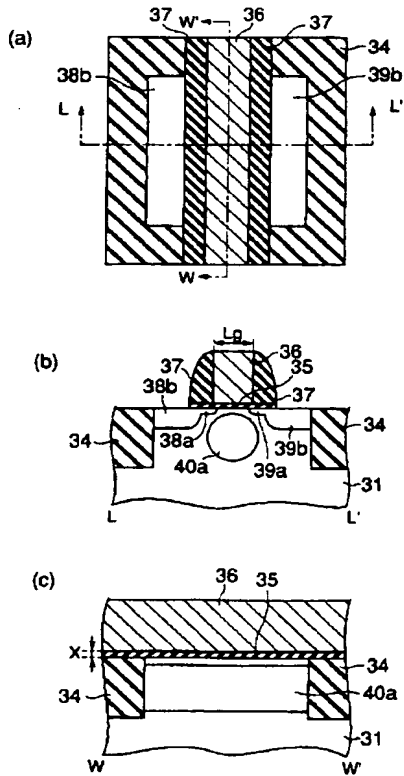
【図 18】



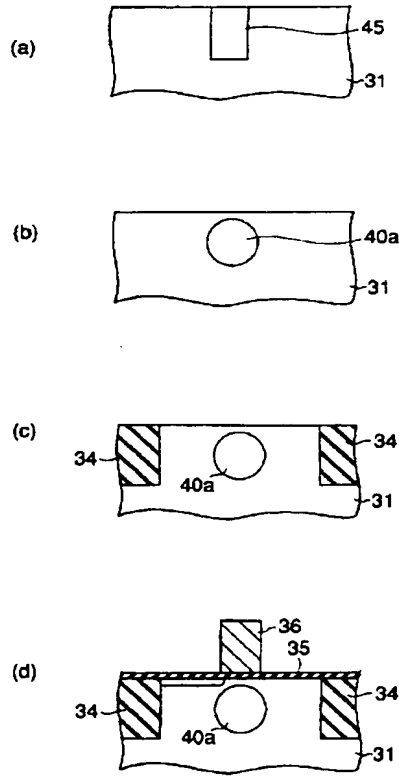
【図 19】



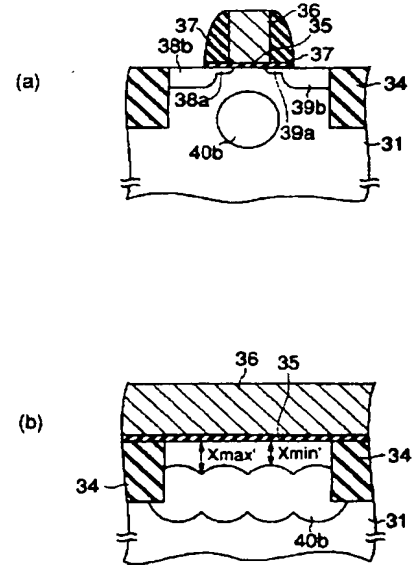
【図 21】



【図 28】

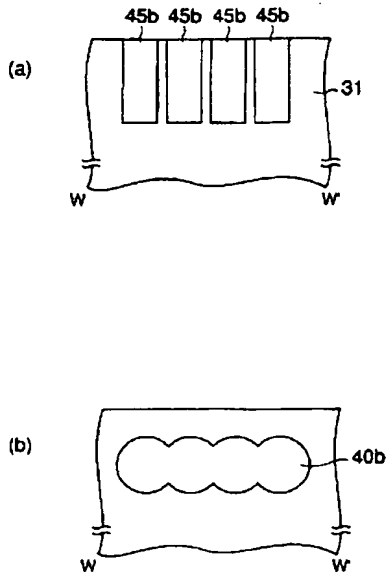


【図 30】

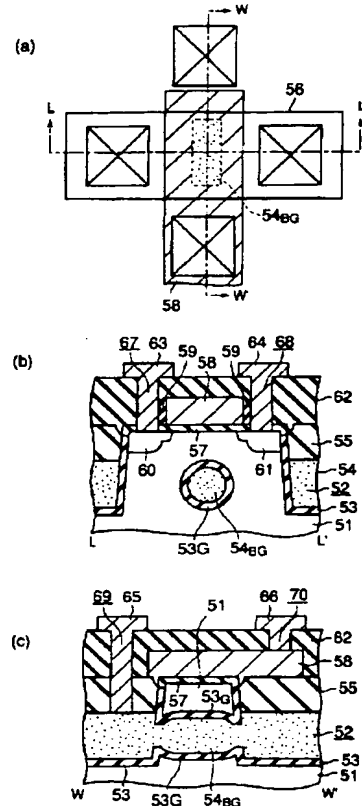




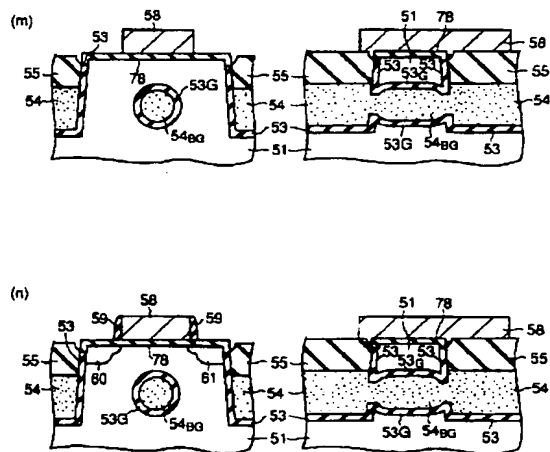
【図 3 1】



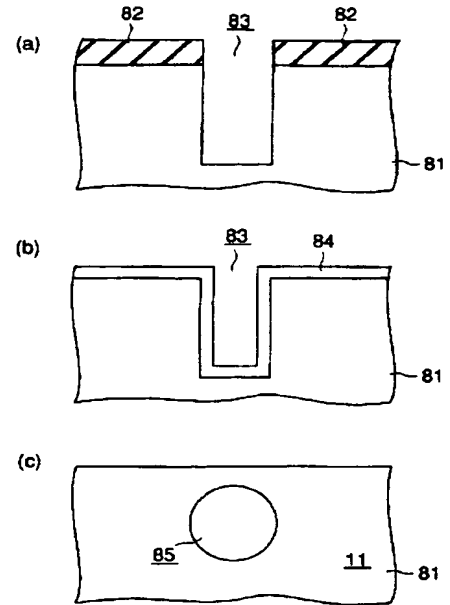
【図 3 2】



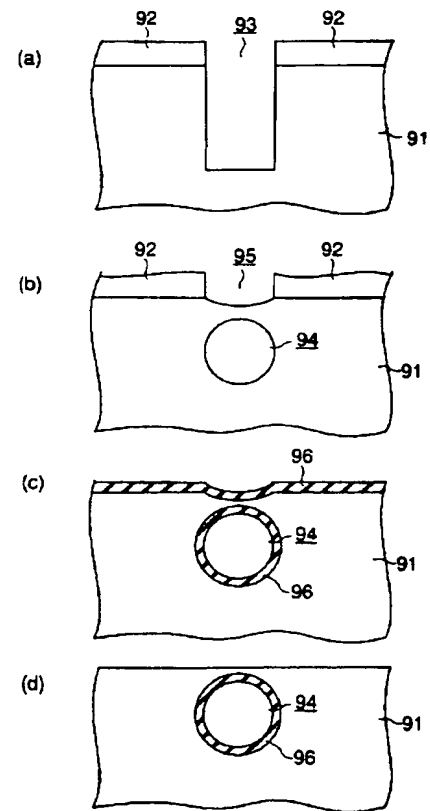
【図 3 6】



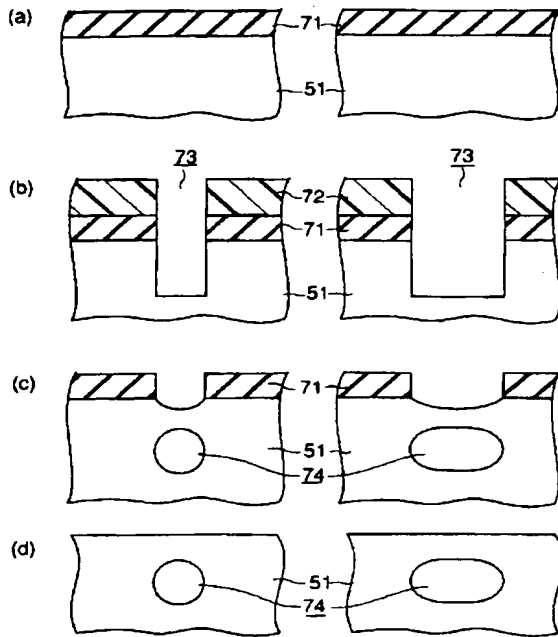
【図 3 7】



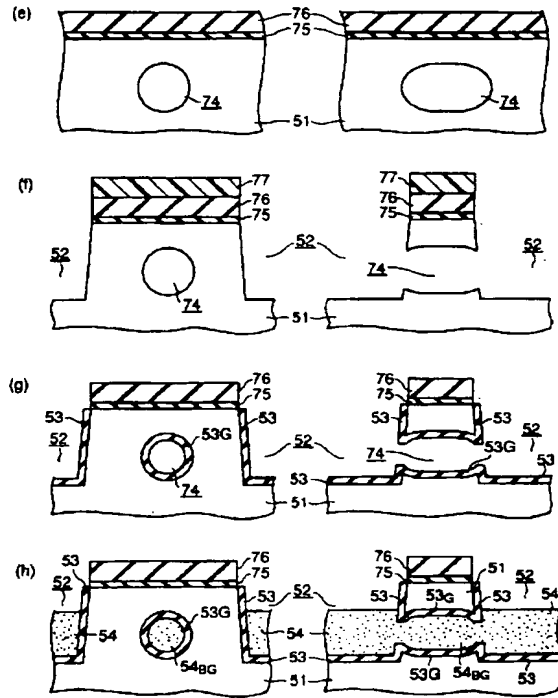
【図 4 1】



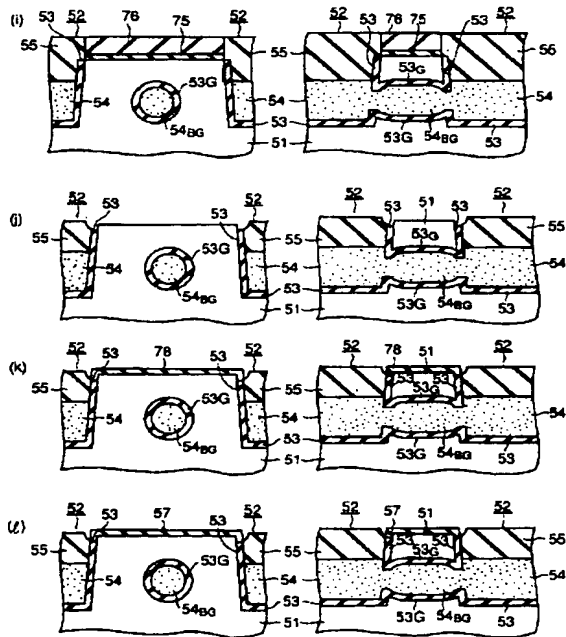
【図 33】



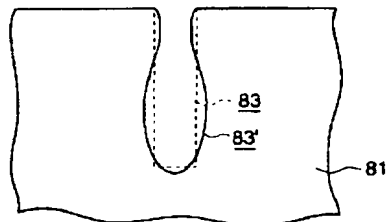
【図 34】



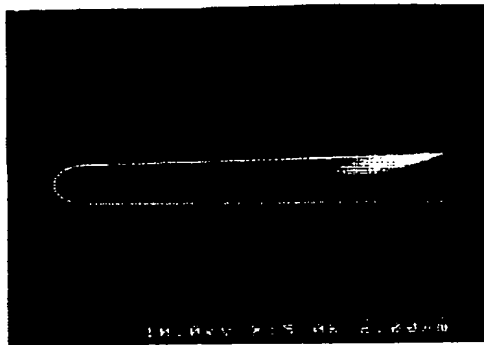
【図 35】



【図 44】

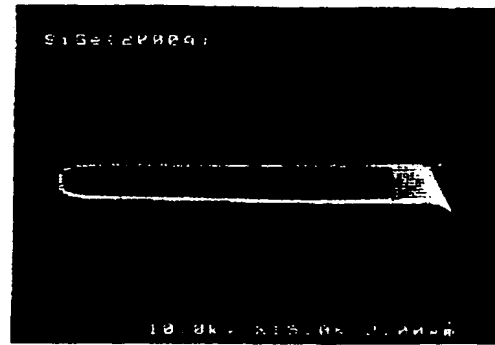


【図38】

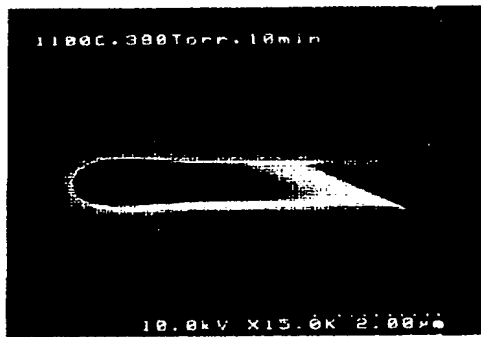


(a)

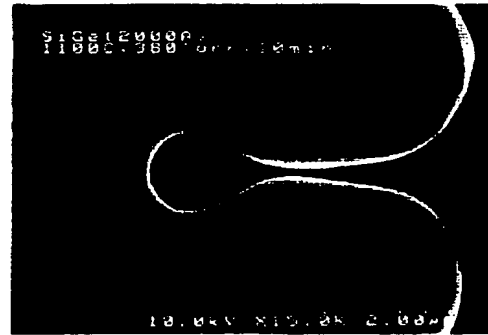
【図39】



(a)

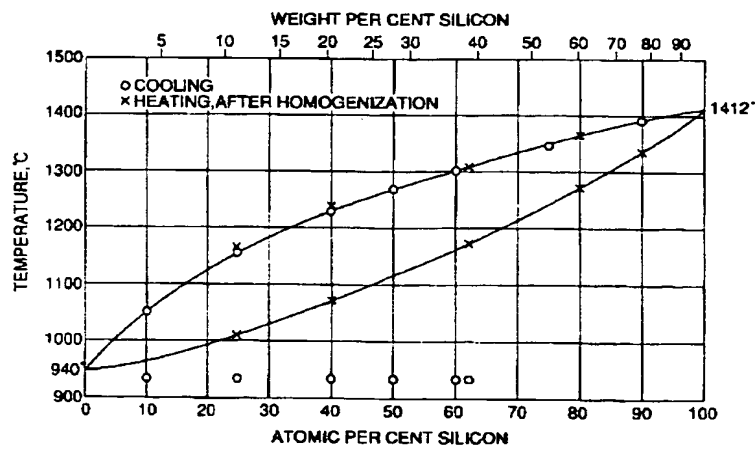


(b)

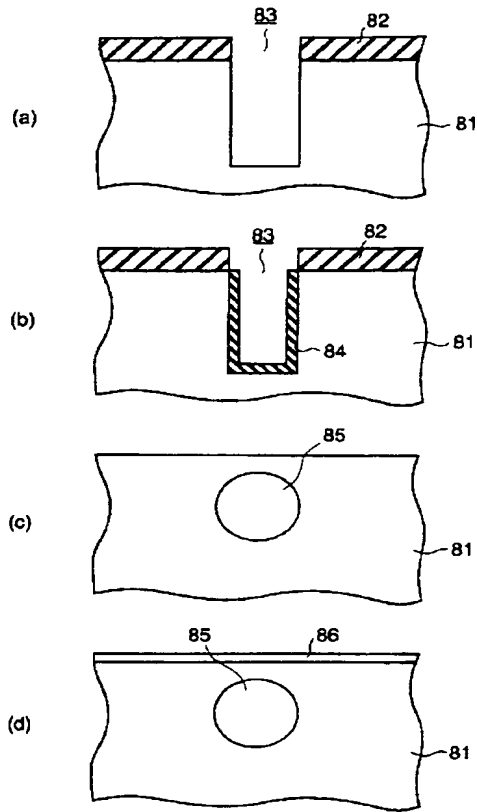


(c)

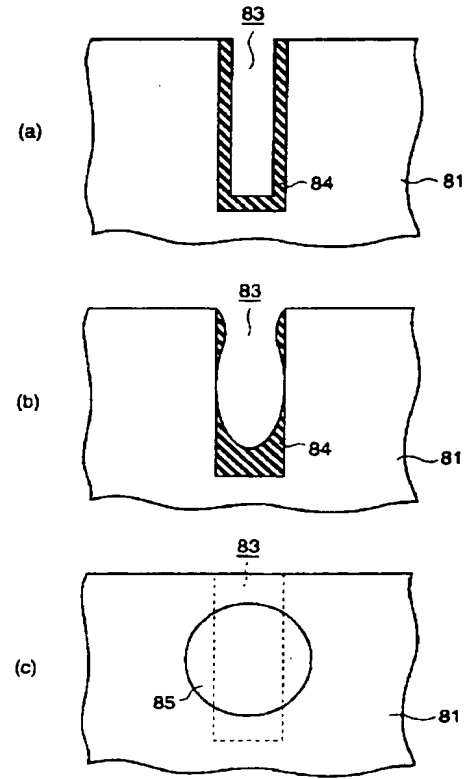
【図40】



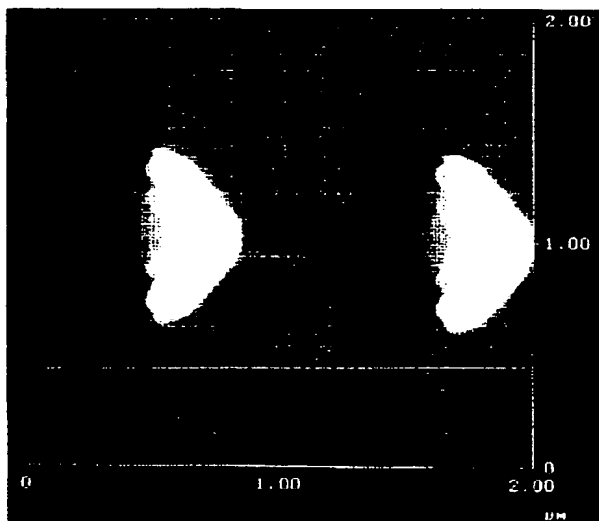
【図42】



【図43】



【図45】



フロントページの続き

(72) 発明者 網島 祥隆  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内

(72) 発明者 飯沼 俊彦  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内

(72) 発明者 宮野 清孝  
神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内